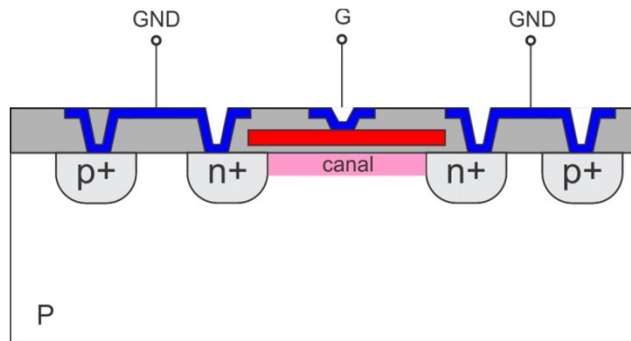


# Capacitores no Processo CMOS

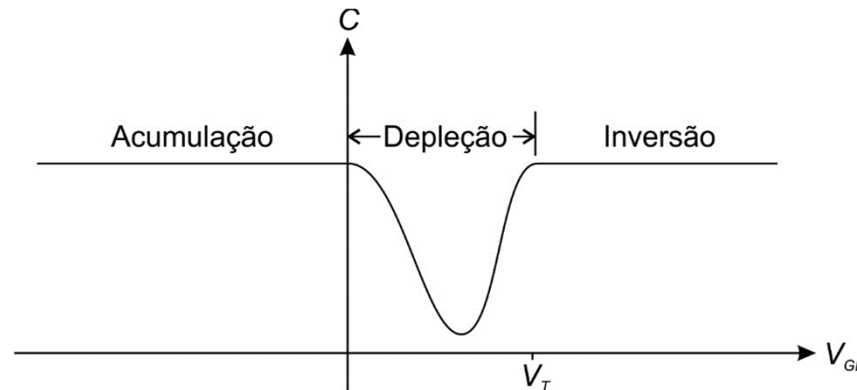
Os processos de integração CMOS disponibilizam várias formas de implementação de capacitores. As mais comuns são os capacitores de gate para substrato, o de poly para difusão, o de placas paralelas e os interdigitados (*mash capacitor*)

## Capacitor de gate para substrato

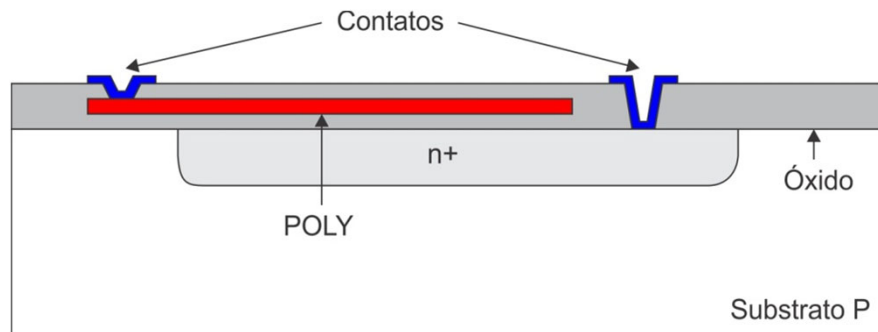


$$C = C_{ox}WL_{EF}$$

Sujeito a problemas de linearidade e sensível a ruído de substrato



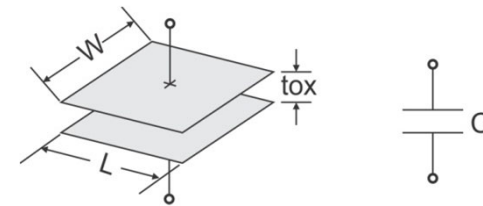
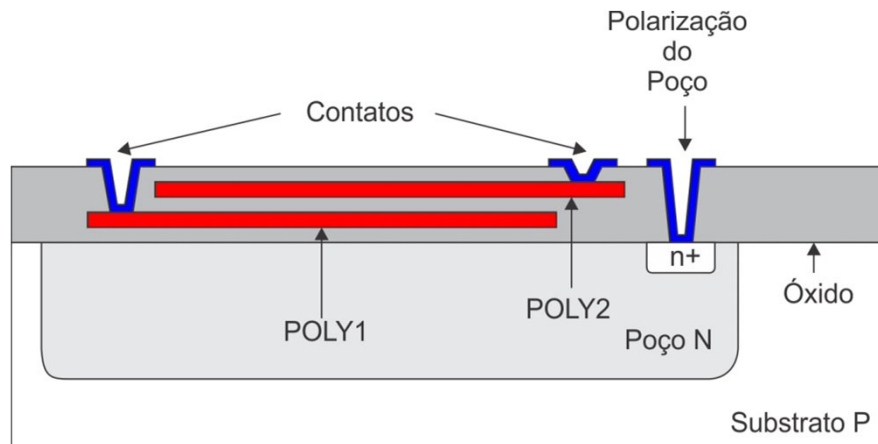
### Capacitor de poly para difusão



$$C = C_{ox}WL$$

Sujeito a problemas de linearidade e sensível a ruído de substrato

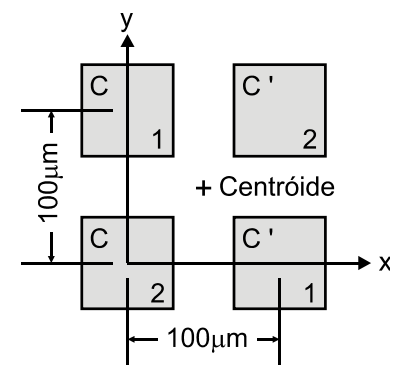
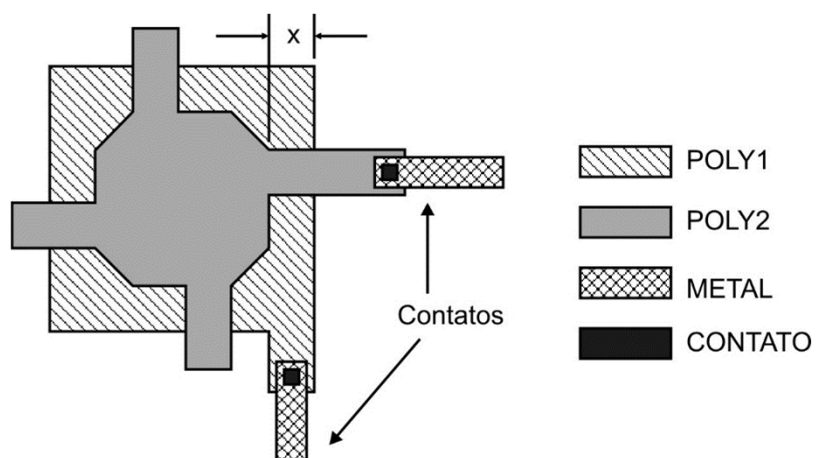
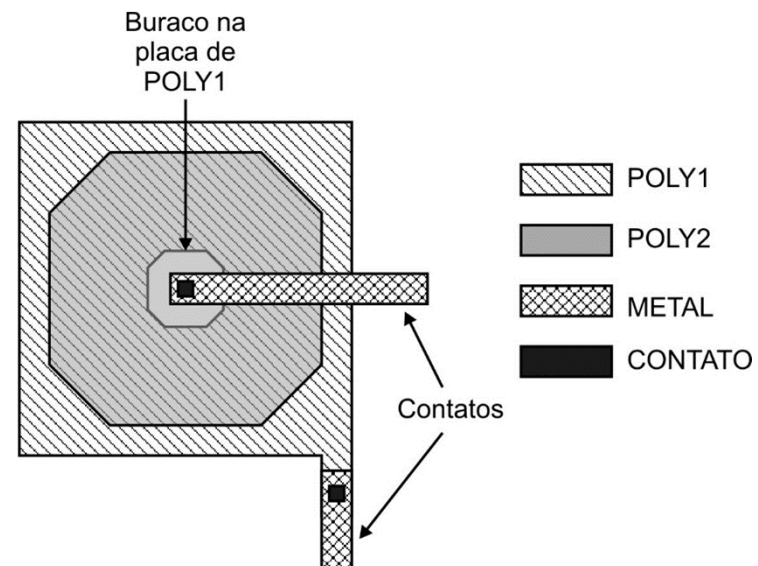
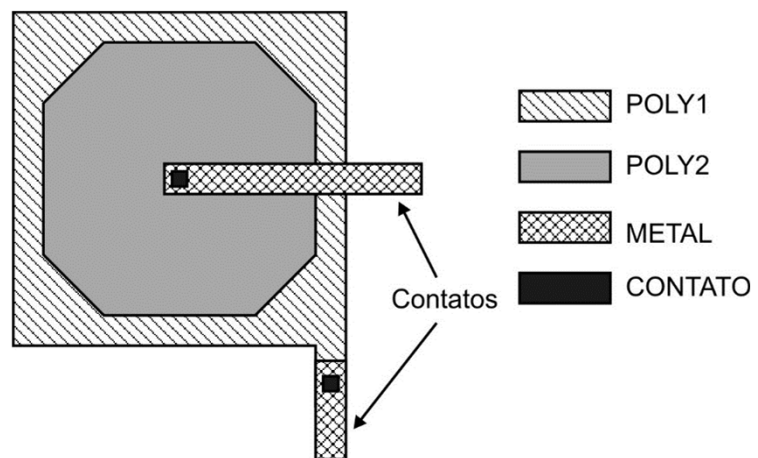
### Capacitor de placas paralelas



POLY2 sobre POLY1  
Metal sobre Metal

$$C = C_{ox}WL + 2 * C_{per}(W + L)$$

$C_{per}$  é a capacitância por perímetro.  
Possui elevada linearidade e precisão.  
O poço é usado para blindagem de ruído

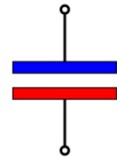
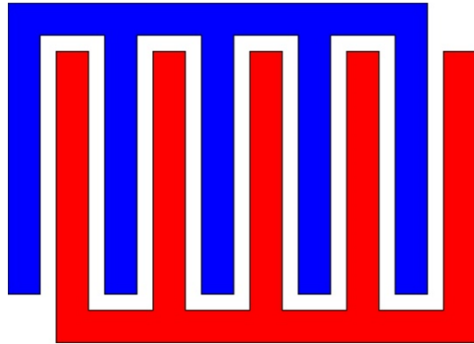


$$C_1 = C + C'$$

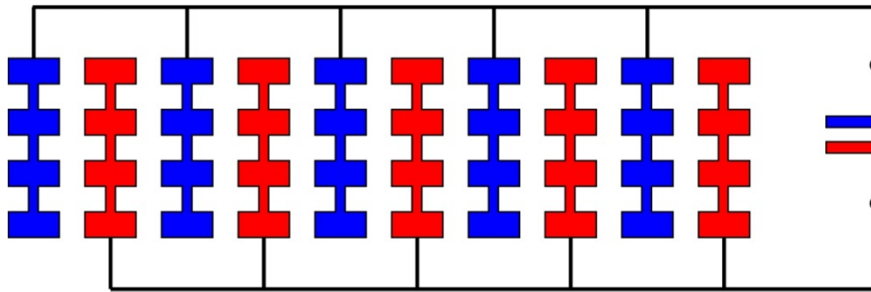
$$C_2 = C + C'$$

$$\frac{C_1}{C_2} = \frac{C + C'}{C + C'} = 1 \rightarrow \text{erro} = 0$$

## Capacitor interdigitado



Utiliza a capacitância de borda entre as trilhas de metal.  
O valor total depende do comprimento das trilhas.  
Normalmente são caracterizados pelo fabricante e fornecidos como uma célula parametrizada no *design kit*.

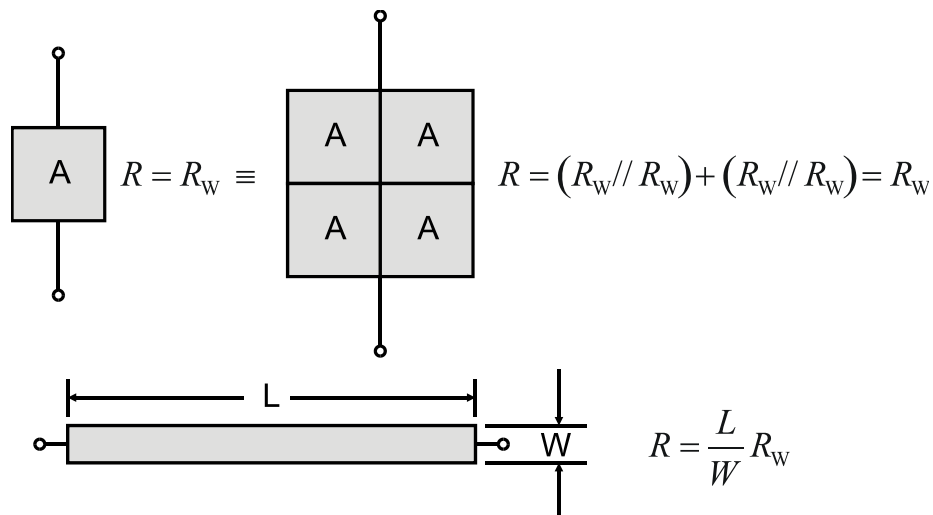


Pode ser empilhado até todas as camadas de metal, para elevar o valor da capacitância.

São lineares e não necessitam de etapa especial no processo de fabricação.  
Normalmente são montado sobre poço N polarizado, para blindagem de ruído.

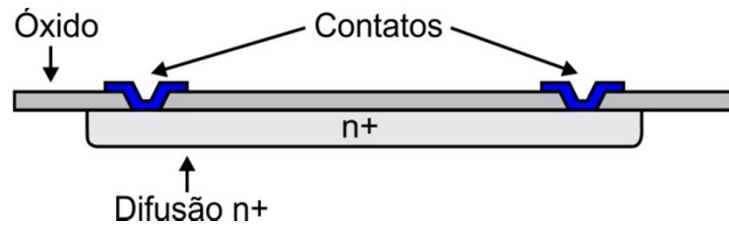
# Resistores no Processo CMOS

Os resistores integrados são implementados usando-se a resistência de superfície de algum material (METAL, POLY ou DIFUSÃO).



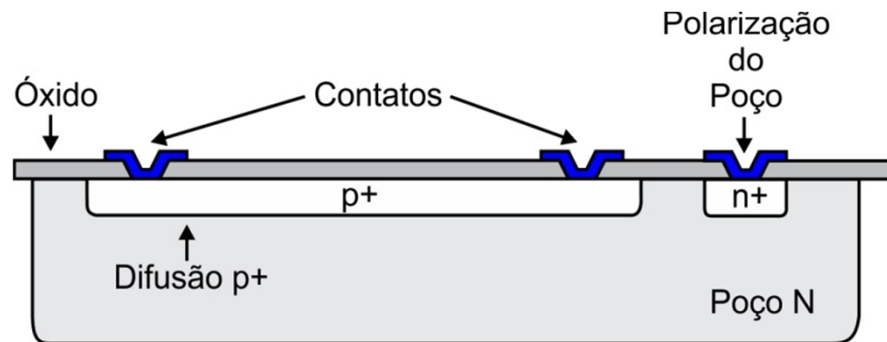
→ A resistência de qualquer quadrado é sempre igual à mesma constante, não importando o tamanho dos lados.

### *Resistor de Difusão N*



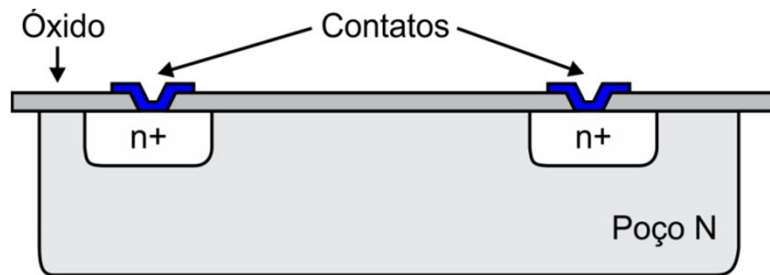
Possui baixa linearidade, alta dependência com a temperatura e necessita de polarização. Esta implementação é sensível ao ruído no substrato.

### *Resistor de Difusão $p^+$ Sobre Poço N Polarizado*



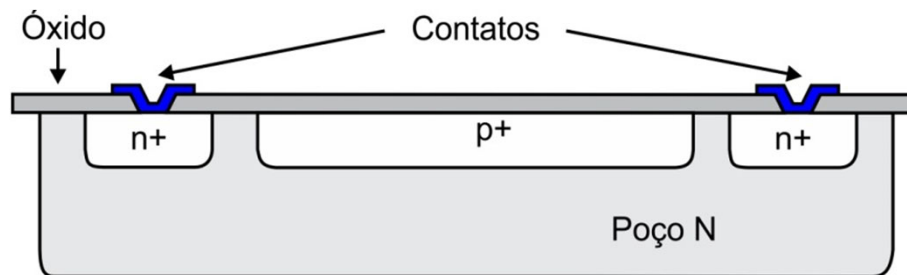
Possui baixa linearidade, alta dependência com a temperatura e necessita de polarização. O poço N blinda o resistor contra o ruído do substrato.

### *Resistor de Poço N*



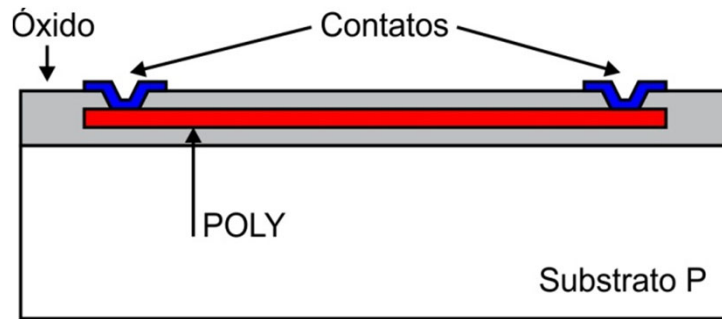
Possui baixa linearidade, alta dependência com a temperatura e necessita de polarização.

### *Resistor de Poço Estrangulado ("Pinched Well")*



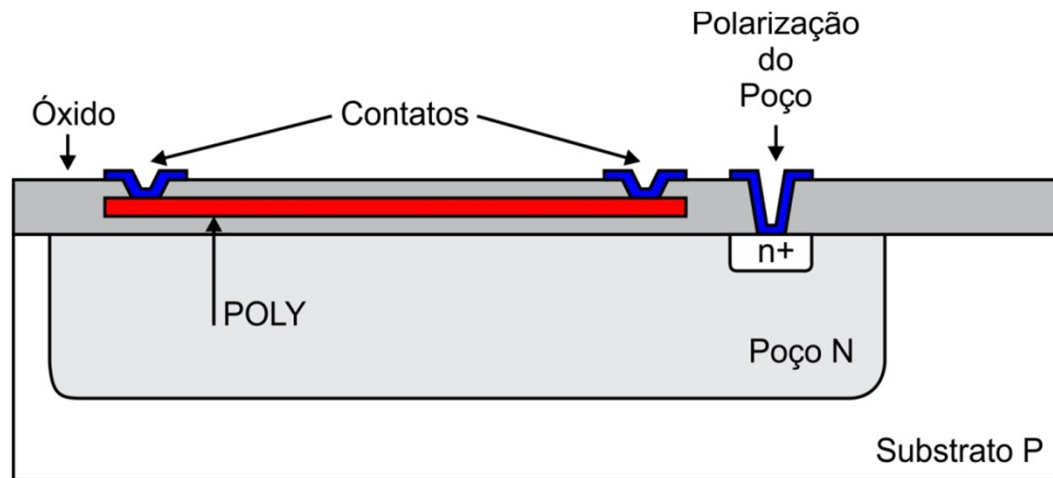
Possui baixa linearidade, alta dependência com a temperatura e necessita de polarização. Implementa resistores de elevado valor.

### *Resistor de Polysilício Sobre Substrato*



→ Possui elevada linearidade e não necessita de polarização.

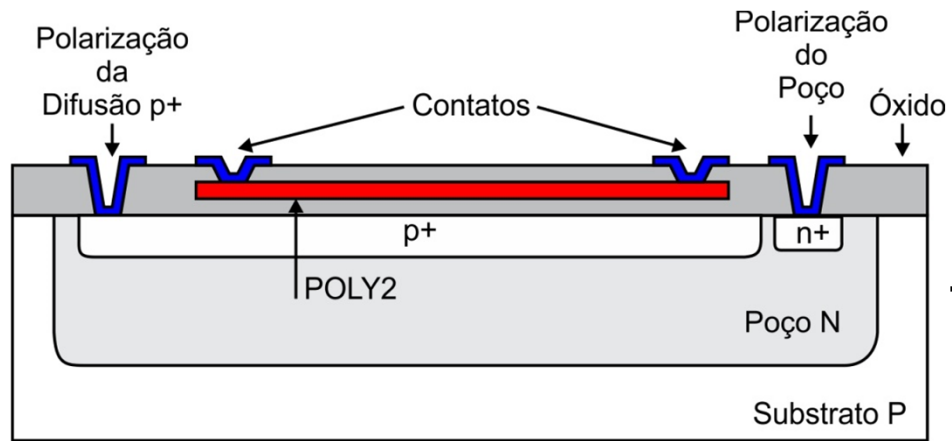
### *Resistor de Polysilício Sobre Poço Polarizado*



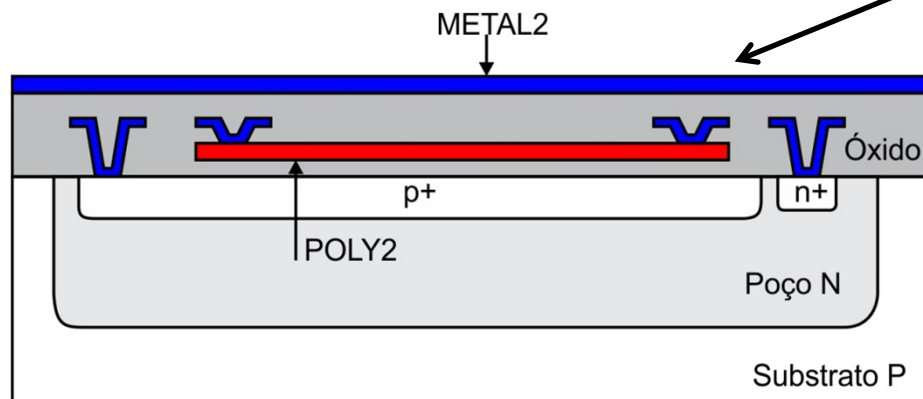
→ Possui elevada linearidade e não necessita de polarização. É imune a ruído de substrato.



## Resistor de POLY2 Sobre Difusão p+ e Poço N



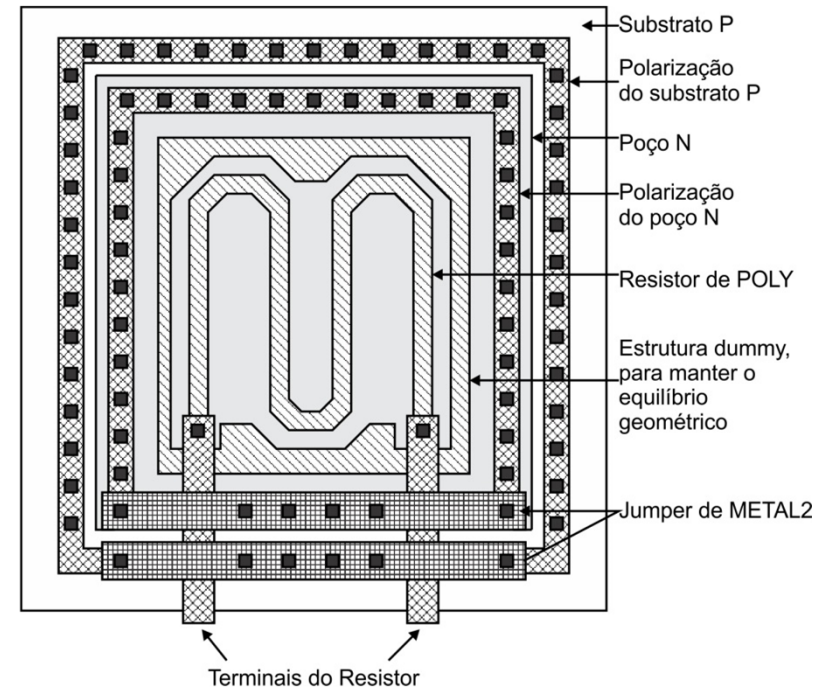
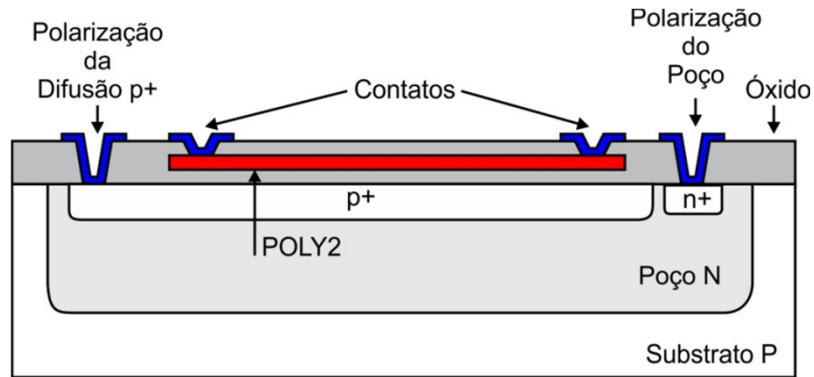
Possui elevada linearidade e não necessita de polarização.  
É imune a ruído de substrato.



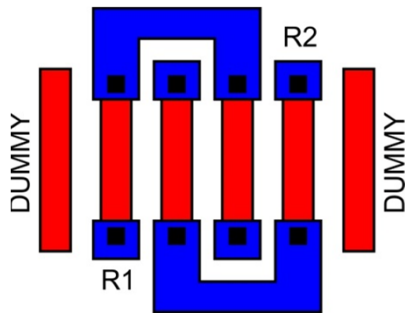
Blindagem com camada de metal no topo.

## Layout para resistores

### Resistor de POLY2 Sobre Difusão p+ e Poço N

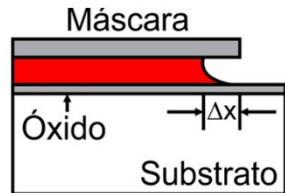


### Array de Dois Resistores



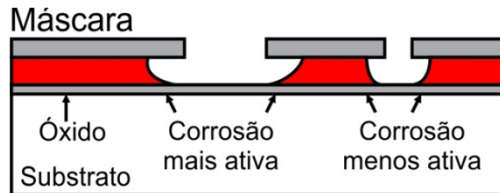
Resistores dummy para manter a simetria nas bordas, e aumentar a precisão.

## Erros na Construção dos Resistores



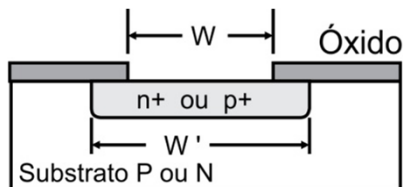
Undercut

Corrosão lateral por baixo da máscara, que modifica as dimensões  $W$  e  $L$ .



Boundary Mismatch

Corrosão lateral por baixo da máscara, que modifica as dimensões  $W$  e  $L$ .



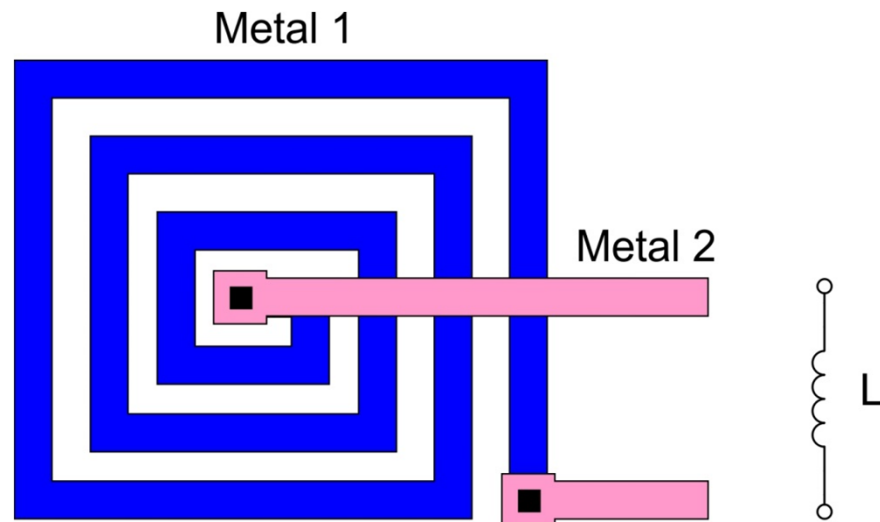
Difusão Lateral

A difusão estende-se por baixo do óxido de silício, aumentando a superfície do resistor. Este erro afeta essencialmente os resistores  $n^+$ ,  $p^+$ , N Well e P Well.

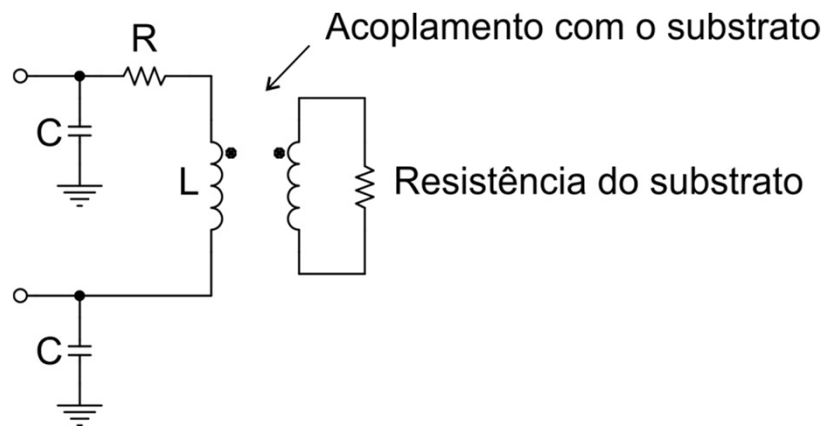
# Indutores no Processo CMOS

Os indutores são fabricados nas camadas de metal, e são planos com forma espiralada.

- São usados em filtros de RF, osciladores, transmissores e receptores.
- Podem formar sistemas de indutores acoplados.
- Podem ser agrupados em multicamadas.

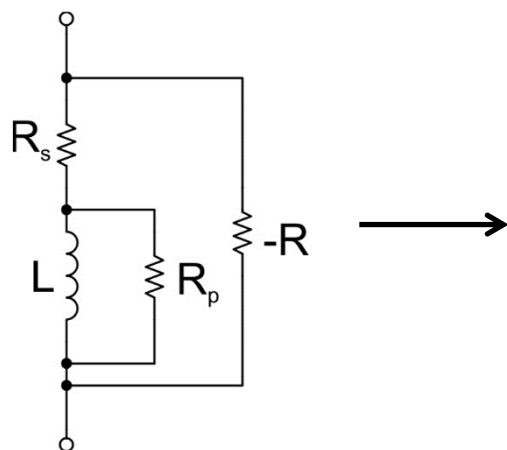


## Modelo Elétrico dos Indutores

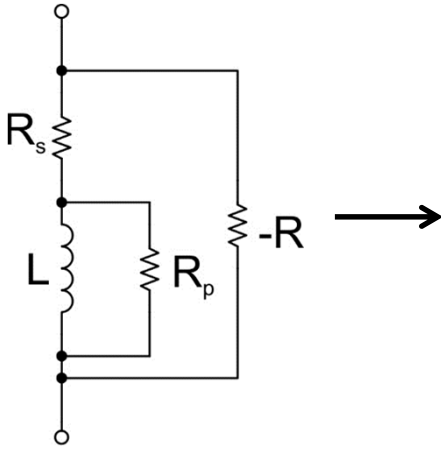


O indutor possui capacitâncias parasitas para o substrato, e resistores de perda devidos à resistência da trilha de metal e o acoplamento com o substrato.

## Compensação para o fator de qualidade baixo



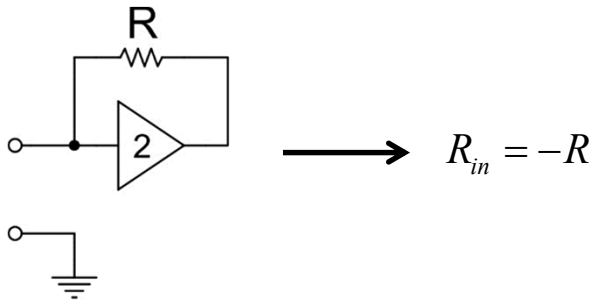
A colocação de um resistor negativo em paralelo pode cancelar as perdas resistivas, e tornar o indutor ideal em uma determinada frequência.



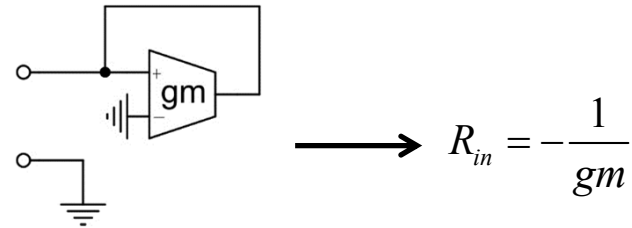
$$Y(j\omega_0) = \frac{\omega_0^2 L^2 (R_s + R_p) + R_s R_p^2}{\omega_0^2 L^2 (R_s + R_p)^2 + R_s^2 R_p^2} - \frac{1}{R} - j \frac{\omega_0 L R_p^2}{\omega_0^2 L^2 (R_s + R_p)^2 + R_s^2 R_p^2}$$

$$Q = \frac{|\text{Im}|}{|\text{Re}|} = \frac{\omega_0 L R_p R}{\omega_0^2 L^2 \left( (R_s + R_p) R - (R_s + R_p)^2 \right) + R_s R_p^2 R - R_s^2 R_p^2}$$

Inductor ideal  $\xrightarrow{Q = \infty}$   $R = \frac{R_s^2 R_p^2 + \omega_0^2 L^2 (R_s + R_p)^2}{\omega_0^2 L^2 (R_s + R_p) + R_s R_p^2}$   $\xrightarrow{R_p = \infty}$   $R = R_s + \frac{\omega_0^2 L^2}{R_s}$



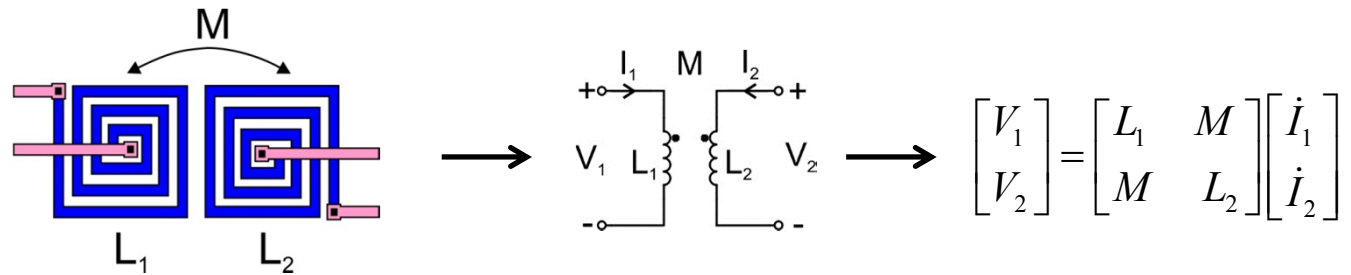
$$R_{in} = -R$$



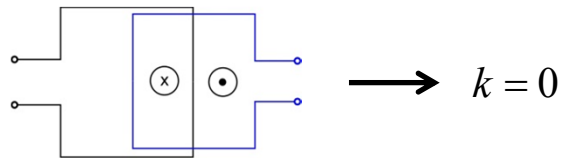
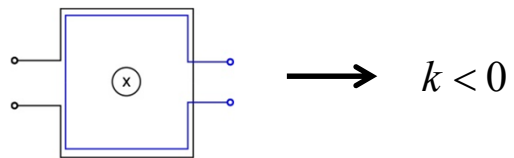
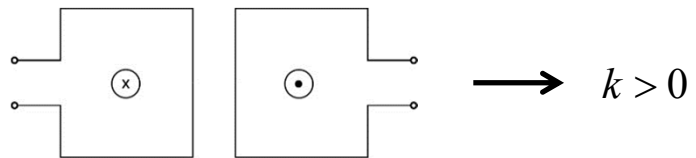
$$R_{in} = -\frac{1}{gm}$$

## Acoplamento Indutivo

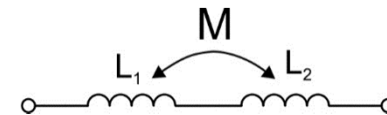
Múltiplos indutores acoplados no mesmo chip



Fator de acoplamento  $\longrightarrow k = \frac{M}{\sqrt{L_1 L_2}} \longrightarrow -1 \leq k \leq 1$



Soma de dois indutores acoplados

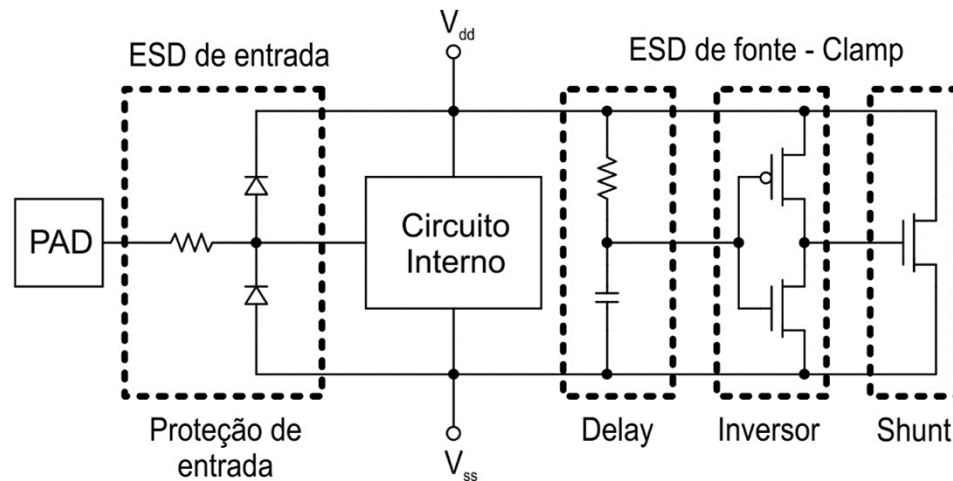


$$L_{eq} = L_1 + L_2 + 2M$$

$$L_{eq} = L_1 + L_2 + 2k\sqrt{L_1 L_2}$$

# Proteção contra Descarga Eletrostática

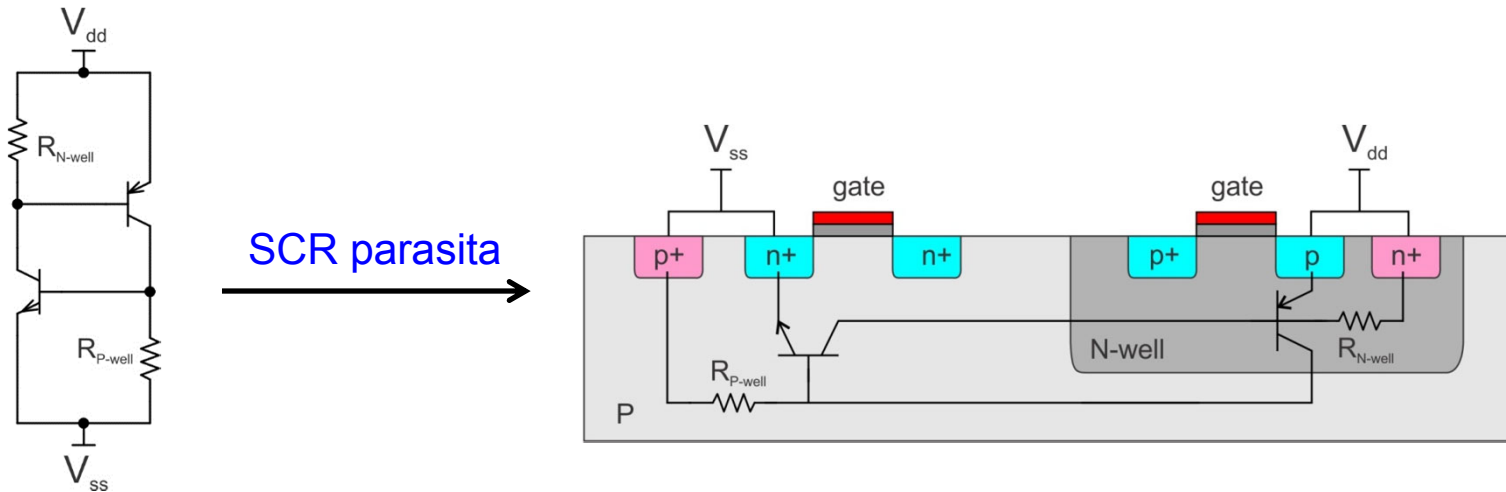
Os circuitos integrados são muito sensíveis à descarga eletrostática durante o manuseio. Então, são usados dispositivos para proteção dos circuitos internos quando um evento desse tipo acontece. Estes circuitos são chamados de proteção contra ESD (*electrostatic discharge*).





## O Problema do *Latch-up*

A combinação de transistor PMOS, em poço N, com transistor NMOS, em certas circunstâncias forma uma estrutura P-N-P-N, conhecida como SCR parasita, que pode disparar quando a fonte  $V_{dd}$  é ligada, e criar um curto-circuito.



### Prevenção:

- Manter os transistores longe das bordas dos poços.
- Não colocar tensões abaixo de  $V_{ss}$  nos drenos e nos sources dos NMOS.
- Não colocar tensões acima de  $V_{dd}$  nos drenos e nos sources dos PMOS.
- Colocar os contatos de poço e substrato próximo ao transistor
- Envolver os NMOS com anel de guarda e contatos em  $V_{ss}$ .
- Envolver os PMOS com anel de guarda e com contatos no poço ligados a  $V_{dd}$ .

**Final deste  
Tópico**