

TEORIA E IMPLEMENTAÇÃO PRÁTICA DE FILTROS A CAPACITORES
CHAVEADOS NA FORMA DIRETA.

Jacqueline Silva Pereira

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA
UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Antonio Petraglia, Ph.D.

Prof. Antonio Carlos Moreirão de Queiroz, D.Sc.

Plutarcho Maravilha Lourenço, D.Sc.

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 2000

PEREIRA, JACQUELINE SILVA

Teoria e Implementação Prática de Filtros a
Capacitores Chaveados na Forma Direta. [Rio
de Janeiro] 2000

XI, 67 pp 29,7 cm (COPPE/UFRJ, M.Sc.,
Engenharia Elétrica, 2000)

Tese - Universidade Federal do Rio de
Janeiro, COPPE

1.Capacitores Chaveados 2.Forma Direta
3.Filtros Recursivos 4.Fase Linear

I.COPPE/UFRJ II.Título (série)

Agradecimentos

À Deus, por iluminar meu caminho.

À minha mãe e meu irmão por me aturarem e me darem força.

Ao meu orientador, pela compreensão, incentivo e amizade.

Aos meus amigos, pelo carinho e paciência.

À todas as pessoas que de alguma forma contribuíram para realização desse trabalho.

É difícil agradecer a todos, por isso prefiro não citar nomes para não ser injusta com alguém, mas gostaria de fazer um agradecimento especial ao meu “braço direito” Marleusa, que sempre esteve presente em todas as horas, fossem boas, ruins ou meras “trapalhadas”.

A todas estas pessoas, muito obrigado, espero que, um dia, eu possa ser capaz de retribuir à altura tudo o que fizeram por mim.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

TEORIA E IMPLEMENTAÇÃO PRÁTICA DE FILTROS A CAPACITORES
CHAVEADOS NA FORMA DIRETA.

Jacqueline Silva Pereira

Março/2000

Orientador: Antonio Petraglia

Programa de Engenharia Elétrica

Este trabalho consiste em apresentar uma nova estrutura de filtros a capacitores chaveados (SC) com resposta infinita ao impulso (IIR), baseando-se na alocação ótima de pólos e zeros de uma função de transferência, com o objetivo de reduzir a sensibilidade na faixa de passagem e obter fase aproximadamente linear, comparando o resultado obtido com projetos dos filtros clássicos. Um exemplo ilustrativo da estrutura IIR proposta é mostrado, assim como os resultados experimentais obtidos com um filtro protótipo construído e testado em laboratório a fim de confirmar os resultados teóricos.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

THEORY AND PRACTICAL IMPLEMENTATION OF DIRECT-FORM
SWITCHED-CAPACITOR FILTERS.

Jacqueline Silva Pereira

March/2000

Advisor: Antonio Petraglia

Department: Electrical Engineering

This thesis presents a novel approach for the design of infinite impulse response (IIR) switched-capacitor (SC) filters, based on the optimum allocation of poles and zeros of a transfer function. This approach is aimed at the reduction of sensitivity in the passband and improved phase linearity. Comparisons with classical filter designs are made. An illustrative design example of a proposed low-pass IIR SC filter structure is presented along with experimental results obtained from a prototype filter built and tested in the laboratory.

Sumário

1	Introdução	1
1.1	Apresentação do trabalho	2
2	Conceitos Preliminares.	4
2.1	Projeto Exato	4
2.2	Projeto Aproximado.	4
2.3	Transformação LDI	5
2.4	Transformação Bilinear.	6
2.5	Estruturas de Filtros	7
2.5.1	Forma Cascata.	7
2.5.2	Biquads	7
2.5.3	Rede <i>Ladder</i>	8
2.5.4	Forma Direta	10
3	Alocação Ótima de Pólos e Zeros	12
4	Projeto Ótimo de Filtros a Capacitores Chaveados.	18
4.1	Estrutura do Filtro	19
4.2	Comparação com Outros Filtros.	21
4.3	Projeto <i>Ladder</i> LDI.	22

5	Análise de Sensibilidade.	30
5.1	Estrutura Proposta.	30
5.2	Estrutura <i>ladder</i> LDI.	32
6	Resultados Experimentais	38
6.1	Filtro com Atenuação de 60dB	40
7	Conclusões	49
	Referências Bibliográficas	51
A	Estrutura Proposta	54
B	Projeto <i>ladder</i> LDI	62

Lista de Figuras

3.1	Sensibilidade na faixa de passagem dos filtros com $\omega_p = 0.2$, $\omega_s = 0.3$, $\delta_p = 0.1087$ e $\delta_s \leq 0.001$: (a) $M = 5$, $N = 7$; (b) $M = N = 6$; (c) $M = 7$, $N = 5$; (d) $M = 9$, $N = 3$. Linhas pontilhadas: resposta em frequência ideal; linhas sólidas: curvas de limite superior (β_u) e inferior (β_l)	15
4.1	Diagrama Esquemático da implementação IIR SC para o exemplo ilustrativo.	25
4.2	Respostas em frequência: projeto proposto (linhas sólidas), elíptico (linhas tracejadas) e FIR (linhas pontilhadas).	26
4.3	Atraso de grupo na faixa de passagem: filtro proposto (linhas sólidas), elíptico (linhas tracejadas) e FIR (linhas pontilhadas).	27
4.4	Rede <i>ladder</i> duplamente terminada.	27
4.5	Implementação <i>ladder</i> LDI.	28
4.6	Resposta em frequência da realização <i>ladder</i> LDI.	29
5.1	Sensibilidade do filtro proposto na faixa de passagem.	31
5.2	Respostas em frequência teórica (linhas sólidas) e com coeficientes realizados como razão de números inteiros (linhas pontilhadas).	33

5.3	Atraso de grupo teórico (linha sólida) e com coeficientes realizados segundo uma razão de números inteiros (linha pontilhada).	34
5.4	Sensibilidade da realização <i>ladder</i> LDI na faixa de passagem.	35
5.5	Respostas em frequência da realização <i>ladder</i> LDI: ideal (linhas sólidas) e com coeficientes realizados como razão de números inteiros (linhas pontilhadas).	36
5.6	Atraso de grupo da realização <i>ladder</i> LDI: teórico (linhas sólidas) e com coeficientes realizados como razão de números inteiros (linhas pontilhadas).	37
6.1	Resposta em frequência medida.	38
6.2	Característica de fase medida na faixa de passagem	40
6.3	Respostas em frequência do filtro de 60 dB: estrutura proposta (linha sólida), elíptico (linha pontilhada) e FIR (linha tracejada).	41
6.4	Diagrama esquemático da realização de 60dB de atenuação.	43
6.5	Respostas em frequência do filtro de 60 dB: teórica com efeito de <i>sample-and-hold</i> (linha sólida); experimental (linha pontilhada). . . .	45
6.6	Característica de fase experimental do filtro de 60dB na faixa de passagem.	46
6.7	Respostas em frequência do filtro de 60 dB: teórica (linha sólida), coeficientes realizados como razão de números inteiros (linha pontilhada).	47
A.1	Cadeia de atrasos utilizando um único amplificador operacional. . . .	54
A.2	Comportamento da cadeia de atrasos durante as fases 2 e 3.	56
A.3	Filtro FIR na forma direta.	57

A.4	Comportamento da célula FIR durante a fase 3.	58
A.5	Célula para a realização do denominador.	60
B.1	Estrutura <i>ladder</i> LDI resultante.	66

Lista de Tabelas

4.1	Coeficientes do filtro proposto ($M = 9, N = 3$).	19
4.2	Elementos da rede <i>ladder</i>	23
4.3	Valores dos capacitores da rede <i>ladder</i> LDI.	24
5.1	Valores de capacitores do filtro proposto em termos de capacitâncias unitárias.	32
5.2	Valores dos capacitores da rede <i>ladder</i> LDI em termos de capacitâncias unitárias.	34
6.1	Capacitâncias medidas (em nF) para o filtro proposto.	39
6.2	Coeficientes do filtro com 60dB de atenuação na faixa de rejeição. . .	42
6.3	Capacitâncias medidas (em nF) para o filtro com 60dB de atenuação na faixa de rejeição.	44
6.4	Valores de capacitores do filtro de 60dB de atenuação em termos de capacitâncias unitárias.	48
B.1	Relação entre os elementos da rede <i>ladder</i> analógica e os capacitores da estrutura LDI resultante.	64
B.2	Escalamentos e valores finais de capacitores.	67

Capítulo 1

Introdução

Circuitos a capacitores chaveados são extensivamente usados para implementar filtros analógicos usando tecnologia de circuitos integrados, uma vez que suas características são determinadas exclusivamente por um sinal de *clock* estável e razões de capacitores, tornando-se de grande interesse encontrar novas soluções de projeto para implementações mais práticas e econômicas. Em contraste com filtros digitais, onde a acurácia é determinada por uma seleção apropriada do número de bits necessários para os dados e os coeficientes do filtro, a acurácia em circuitos analógicos é determinada pelos parâmetros físicos do processo de implementação. Conseqüentemente, estruturas de baixa sensibilidade são de extrema importância em realizações analógicas.

O interesse por topologias com característica de fase aproximadamente linear tem-se intensificado [1], [2], [3], [4]. Áreas como, por exemplo, a de processamento de imagens, necessitam filtros com característica de fase linear, que é conseguida com realizações FIR, mas, muitas vezes, devido à ordem elevada, é inviável a utilização de tais filtros. Por isso, uma estrutura com fase aproximadamente linear na faixa de

passagem torna-se uma solução cujos resultados podem aproximar-se do desejado, com a vantagem de ter ordem de realização perfeitamente implementável.

Uma vez que um filtro recursivo a capacitor chaveado(SC) implementado com integradores possui uma boa performance, filtros a capacitores chaveados na forma direta possuem várias vantagens quando da sua implementação integrada [5], tais como redução do consumo de potência e da área de silício utilizada, e potencial de multiplexação de dois ou mais filtros. Entretanto, a forma direta é normalmente evitada em filtros recursivos devido à sensibilidade da sua resposta em frequência na faixa de passagem, que depende da acurácia dos coeficientes do denominador da sua função de transferência.

O objetivo deste trabalho é desenvolver uma estrutura recursiva que possua as mesmas vantagens oferecidas pela forma direta, porém minimizando a sensibilidade aos erros na razão de capacitâncias, através de um procedimento ótimo de alocação de pólos e zeros e fase aproximadamente linear na faixa de passagem, buscando, também, reduzir o número de amplificadores operacionais utilizados em sua implementação.

1.1 Apresentação do trabalho

Este trabalho está dividido em 7 capítulos: Introdução, Conceitos preliminares, Alocação ótima de pólos e zeros, Projeto ótimo de filtros IIR SC, Análise de sensibilidade, Resultados experimentais e Conclusões.

No Capítulo 1, Introdução, é feita uma breve apresentação sobre o assunto discutido no presente trabalho e um resumo dos capítulos seguintes.

No Capítulo 2 são mostrados alguns conceitos básicos da teoria de projetos

de filtros a capacitores chaveados, tais como métodos de síntese e as estruturas mais freqüentemente utilizadas em sua implementação, mostrando as vantagens e desvantagens de cada uma.

No Capítulo 3 é discutido o comportamento da sensibilidade do filtro na faixa de passagem de acordo com a variação no número de pólos da função de transferência, mostrando as vantagens de uma realização com número de pólos diferente do número de zeros.

No Capítulo 4 é desenvolvido um projeto ótimo para filtros SC recursivos, com base na forma direta, e nos conceitos discutidos no Capítulo 3 de sensibilidade e número de pólos e zeros, apresentando um procedimento de projeto que possui baixa sensibilidade e característica de fase aproximadamente linear na faixa de passagem, utilizando um menor número de amplificadores operacionais.

Uma análise da sensibilidade da estrutura desenvolvida é feita no Capítulo 5, comparando os resultados obtidos com os de uma realização *ladder* LDI. Também é apresentado um estudo de uma implementação integrada, observando o comportamento da realização de ambas as estruturas (proposta e *ladder* LDI) com coeficientes realizados segundo uma razão de números inteiros.

O Capítulo 6 apresenta os resultados de duas implementações em laboratório da estrutura, a fim de verificar a sua performance para atenuações elevadas ($> 60\text{dB}$), finalizando com um estudo do comportamento da realização com coeficientes realizados segundo uma razão de números inteiros.

No Capítulo 7 são apresentadas as conclusões obtidas neste trabalho.

Capítulo 2

Conceitos Preliminares.

A fim de entender melhor as técnicas de síntese e projeto de circuitos a capacitores chaveados são apresentados alguns conceitos básicos de projeto.

2.1 Projeto Exato

Neste tipo de projeto, não há a necessidade da frequência de amostragem ser muito maior que a de corte. Uma vez que o projeto é feito diretamente no plano z , ele se aproveita das técnicas associadas à filtros digitais [6], sem a necessidade de aproximações, evitando distorções que são comuns ao projeto aproximado.

2.2 Projeto Aproximado.

O projeto aproximado é caracterizado quando a frequência de amostragem necessita ser muito maior que a frequência de corte do filtro e se baseia em um circuito analógico. Neste tipo de projeto, o processo de síntese pode ser fundamentado em estruturas contínuas conhecidas, como redes *ladder* RLC duplamente

terminadas, que apresentam baixa sensibilidade.

Tal método de realização consiste em um mapeamento do plano s , permitindo a realização de filtros a capacitores chaveados que preservem as características da realização contínua. Como o projeto aproximado é originado a partir de um circuito analógico, também as imperfeições serão mapeadas, tornando-se impossível a eliminação de tais imperfeições quando de sua realização, sendo possível apenas otimizá-las.

2.3 Transformação LDI

A transformação LDI (*Lossless Discrete Integrator*) mapeia somente parte do eixo imaginário ($-2/T \leq \Omega \leq 2/T$) em s sobre o círculo unitário em z , causando distorções na faixa de passagem. Tal mapeamento é realizado segundo a seguinte relação:

$$s = \frac{1}{T}(z^{\frac{1}{2}} - z^{-\frac{1}{2}}) \quad (2.1)$$

onde T é o período de amostragem. A relação entre a frequência contínua e a discreta é dada por:

$$\Omega = \frac{2}{T} \sin \frac{\omega T}{2} \quad (2.2)$$

Devido à impossibilidade de um mapeamento completo do plano s em z , o circuito sintetizado por este método pode sofrer distorções na faixa de passagem, além de não ser possível realizar perfeitamente as terminações resistivas. Isto se

deve ao fato de que qualquer valor de s é mapeado em dois valores de z , um dentro e outro fora do círculo unitário.

2.4 Transformação Bilinear.

A transformação bilinear faz o mapeamento completo da frequência de amostragem contínua em s ($-\infty \leq \Omega \leq \infty$) sobre o círculo unitário em z , o que torna desnecessário o uso de uma frequência de amostragem muito maior que a frequência de corte do filtro, evitando as distorções na resposta em frequência. O plano s é mapeado no plano z através da seguinte relação:

$$s = \frac{2}{T} \frac{z - 1}{z + 1} \quad (2.3)$$

onde T é o período de amostragem.

Para o caso da transformação bilinear, temos a seguinte relação entre a frequência contínua e a discreta:

$$\Omega = \frac{2}{T} \tan \frac{\omega T}{2} \quad (2.4)$$

Um aspecto que deve ser ressaltado para esta transformação é que uma realização a capacitores chaveados não apresenta problemas quanto às terminações resistivas da estrutura, o que se verifica no caso LDI. Existem as mais variadas formas de construção para a transformação bilinear, sendo possível realizar a síntese de um mesmo circuito analógico utilizando tanto a transformação bilinear quanto a LDI, obtendo realizações a capacitores chaveados estruturalmente diferentes.

2.5 Estruturas de Filtros

2.5.1 Forma Cascata.

Filtros realizados na forma cascata podem ser realizados a partir do projeto direto, isto é, dada uma especificação, é possível obter a função de transferência diretamente em z , sem a necessidade de se obter previamente a função em s , eliminando assim a necessidade de uma frequência de amostragem elevada.

Tal estrutura consiste em blocos básicos conectados em cascata a fim de se obter a ordem desejada. Seus blocos básicos são o integrador discreto, e filtros passa-baixa, passa-banda, passa-alta e *notch* de segunda ordem. A partir de circuitos a capacitores chaveados, que possuem funções básicas, é possível obter filtros de ordem elevada de forma bastante simples, desmembrando a função de transferência em funções básicas que são então associadas aos circuitos correspondentes.

Além da facilidade de construção de filtros de ordem elevada, a forma cascata apresenta, em geral, baixa sensibilidade, sendo amplamente utilizada em vários projetos. Porém, apresenta problemas quanto a faixa dinâmica, necessitando de uma boa distribuição do ganho pelos blocos componentes para que não haja grandes atenuações entre os mesmos. Além disso, há a questão de que qualquer erro em uma das seções irá repercutir nas seções seguintes, sendo transferido de seção para seção amplificado.

2.5.2 Biquads

De grande importância na implementação de circuitos são as seções com função de transferência biquadrática, comumente chamadas de *biquads*, que podem

ser cascateadas a fim de se obter funções de ordem mais elevada. Sua função de transferência de segunda ordem é igual à de uma transformação bilinear aplicada sobre um circuito contínuo correspondente. Tal função de transferência em s é dada por

$$H_a(s) = \frac{k_2 s^2 + k_1 s + k_0}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (2.5)$$

onde ω_0 é a frequência do pólo e Q é o fator de qualidade do pólo.

A função correspondente em z é da forma

$$H(z) = \frac{a_2 z^2 + a_1 z + a_0}{b_2 z^2 + b_1 z + 1} \quad (2.6)$$

Conforme mencionado anteriormente, a partir de uma determinada especificação, é obtida a função de transferência correspondente em z , que é fatorada em um produto de funções de segunda ordem.

2.5.3 Rede *Ladder*.

A técnica mais simples de projeto de filtros a capacitores chaveados consiste em substituir todos os resistores de uma rede RC ativa por capacitores chaveados. Ao se cascatear os blocos básicos de capacitores chaveados (integradores e blocos de primeira e segunda ordem) é possível realizar filtros de ordem elevada. Entretanto, para filtros mais complicados (isto é, de sétima ordem ou maior), alguns Q 's dos pólos são normalmente elevados, e as sensibilidades dos elementos das correspondentes seções se tornam excessivamente altas para a fabricação.

Uma solução seria adicionar ramos de realimentação ou diretos à cascata

de *biquads*. Tais circuitos, quando apropriadamente projetados, apresentam baixas sensibilidades e maiores faixas dinâmicas. Porém, o projeto de circuitos com baixa sensibilidade mais usado consiste em projetar circuitos a partir de redes duas-portas reativas duplamente terminadas, com sensibilidades próximas de zero na faixa de passagem. Desta forma, teoricamente, um filtro ativo RC, modelado por um protótipo passivo, também terá esta propriedade. Se o filtro passivo tiver uma configuração *ladder*, então a sensibilidade também será pequena na faixa de rejeição, sendo comparável à realização cascata.

Para filtros RLC, a aproximação utilizada para se obter o circuito final partindo do seu modelo contínuo é a simulação de componentes, onde os indutores são substituídos por chaves, capacitores e operacionais. Porém, esta realização sofre algumas distorções uma vez que não é possível realizar as terminações resistivas corretamente. No caso de redes RC ativas, FDNR's e giradores são utilizados para simular os indutores do modelo; os resistores simulados dependem de um valor nominal e não de uma razão de capacitâncias, sendo que qualquer variação afeta sensivelmente a resposta em frequência.

Uma aproximação bastante conhecida para a realização de filtros a capacitores chaveados é baseada na simulação de redes ladder LC duplamente terminadas usando a transformação LDI, a fim de obter baixa sensibilidade na faixa de passagem. Em aplicações práticas, entretanto, esta característica não é transferida para as estruturas a capacitores chaveados correspondentes, uma vez que variações nas terminações afetam a sensibilidade do filtro resultante. A fim de reduzir os efeitos da natureza não linear da transformação LDI, uma alta razão entre a frequência de amostragem e a de corte f_s/f_c é necessária. Isto é particularmente indesejado

em filtros de alta frequência, uma vez que compromete o tempo de estabilização dos amplificadores operacionais. Portanto, apesar da baixa sensibilidade dos filtros a capacitores chaveados com estrutura *ladder* LDI, a passividade estrutural não é garantida.

2.5.4 Forma Direta

A forma direta oferece várias vantagens ao projeto de filtros a capacitores chaveados, tais como rejeição de ruído do amplificador MOS e potência de ruído abaixo da metade da taxa de amostragem, menor área de silício e potencial para multiplexar dois ou mais filtros. Porém, é normalmente evitada devido à sensibilidade da resposta em frequência em relação à acurácia dos coeficientes do denominador.

Por tratar-se de um projeto exato (isto é, o projeto é realizado diretamente em z), não apresenta os problemas de distorção na resposta em frequência devido às terminações resistivas que ocorrem no caso das estruturas *ladder* LDI, além de não se fazer necessária uma frequência de amostragem elevada para compensar as não linearidades da transformação s - z , aliviando o tempo de estabilização dos amplificadores operacionais quando de uma implementação a capacitores chaveados. Comparada a outras realizações, a forma direta é uma estrutura atrativa, devido à sua reduzida complexidade. Para implementações recursivas (filtros IIR), a forma direta não é muito utilizada devido à sensibilidade dos coeficientes do denominador do filtro. Em particular, o pólo mais próximo do círculo unitário exerce maior influência na região em torno da frequência de passagem, aumentando o desvio na banda de passagem e diminuindo a atenuação na faixa de rejeição.

Um filtro a capacitores chaveados na forma direta pode ser realizado por uma

ou mais cadeias de atrasos ponderadas, seguida por um somador onde os coeficientes do filtro são os elementos ponderadores. Tal estrutura, baseada em um esquema de *clock* bifásico, é propensa a sofrer de alta dispersão nos coeficientes do filtro. Além disso, necessita de um grande número de amplificadores operacionais para realizar n zeros, o que faz com que a dissipação de potência e a área numa implementação integrada sejam consideravelmente grandes.

Uma forma de diminuir o número de amplificadores operacionais utilizados é apresentada no presente trabalho, consistindo de uma multiplexação no tempo dos amplificadores operacionais, ao custo de um aumento no número de fases utilizadas, tirando proveito das vantagens oferecidas pela forma direta convencional.

Capítulo 3

Alocação Ótima de Pólos e Zeros

Para uma grande classe de filtros, tais como os filtros clássicos de Butterworth, Chebyshev e elíptico, os polinômios do numerador e denominador possuem a mesma ordem. Porém, existem alguns procedimentos de projeto baseados no posicionamento ótimo de pólos e zeros que leva a polinômios de ordens diferentes. Em termos de complexidade computacional, tais projetos são mais eficientes até mesmo que os projetos elípticos, quando consideradas especificações de banda estreita e larga, oferecendo a possibilidade de se escolher as ordens do numerador e denominador de forma a se obter uma pequena variação na resposta em frequência de um filtro recursivo.

A função de transferência de um filtro a capacitores chaveados recursivo, avaliada no círculo unitário, pode ser escrita como:

$$H(\omega) = \frac{A(\omega)}{B(\omega)}, \quad (3.1)$$

onde $A(\omega) = \sum_{k=0}^{M-1} a_k e^{-j\omega k}$ e $B(\omega) = 1 - \sum_{k=1}^{N-1} b_k e^{-j\omega k}$. É possível implementar eficientemente um filtro a capacitores chaveados recursivo usando-se dois filtros transversais - um no caminho direto, realizando os coeficientes a_k , e outro no cami-

nho de realimentação, realizando os coeficientes b_k - utilizando a mesma cadeia de atraso, oferecendo uma série de características atrativas à esta realização. Devido às flutuações em torno dos valores nominais de a_k e b_k quando da realização dos coeficientes, os pólos e zeros da função de transferência implementada irão diferir dos pólos e zeros desejados, levando à um desvio $\Delta H(\omega)$ na resposta em frequência [2]. A função de transferência implementada pode ser escrita como

$$\hat{H}(\omega) = H(\omega) + \Delta H(\omega). \quad (3.2)$$

Simulações extensivas indicaram que $|\Delta H(\omega)|$ é, para cada frequência ω , uma variável aleatória de Rayleigh, com função densidade de probabilidade dada por

$$f_{|\Delta H(\omega)|}(x) = \begin{cases} (2x/\lambda(\omega)) \exp\{-x^2/\lambda(\omega)\}, & x \geq 0 \\ 0, & x < 0 \end{cases} \quad (3.3)$$

onde

$$\lambda(\omega) = \begin{cases} \sigma_b^2(N-1)/|B(\omega)|^2, & \omega \in [0, \omega_p] \\ \sigma_a^2 M/|B(\omega)|^2, & \omega \in [\omega_s, \pi] \end{cases} \quad (3.4)$$

onde $\sigma_a = \sigma_u \sum_{k=0}^{M-1} |a_k|/M$, $\sigma_b = \sigma_u \sum_{k=1}^{N-1} |b_k|/(N-1)$, e σ_u é o desvio padrão do erro em termos de razão de capacitâncias unitárias.

Normalmente, o desvio da resposta em frequência na faixa de passagem aumenta com o aumento na ordem do denominador, uma vez que N aumenta e $|B(\omega)|$ diminui para cada $\omega \in \omega_p$, já que a distância dos pólos ao círculo unitário na faixa de passagem é menor que um.

Da eq.(3.2), é possível escrever os seguintes limites para a função de transferência implementada

$$|H(\omega)| - |\Delta H(\omega)| \leq |\hat{H}(\omega)| \leq |H(\omega)| + |\Delta H(\omega)|, \quad (3.5)$$

para todo ω . Usando a função densidade de probabilidade de (3.3), a probabilidade de $|\Delta H(\omega)|$ possuir valores dentro de um dado intervalo pode ser calculada. Em particular,

$$\begin{aligned} P|\Delta H(\omega)| \leq r\sigma_{|\Delta H|}(\omega) &= \int_0^{r\sigma_{|\Delta H|}(\omega)} (\omega) f_{|\Delta H(\omega)|}(x) dx \\ &= 1 - \exp(\pi/4 - 1)r^2, \end{aligned} \quad (3.6)$$

onde r é um número real positivo. Para $r = 5$, a probabilidade acima é igual a 0.995, de forma que, com grande probabilidade,

$$\beta_\ell(\omega) \leq |\hat{H}(\omega)| \leq \beta_u(\omega), \quad (3.7)$$

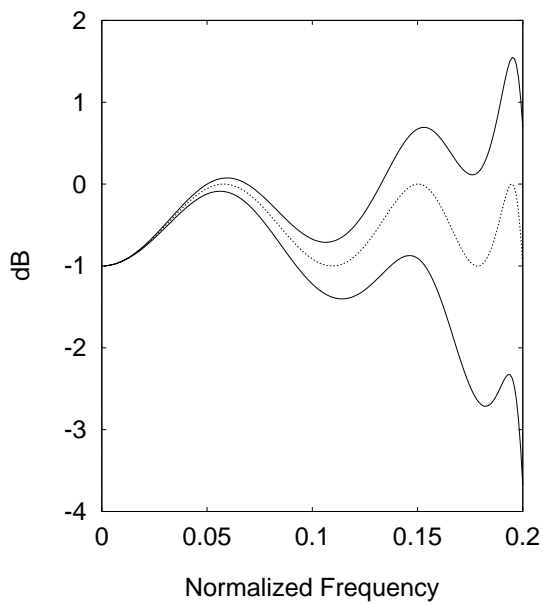
onde

$$\beta_\ell(\omega) = |H(\omega)| - 5[(1 - \pi/4)\lambda(\omega)]^{1/2} \quad (3.8)$$

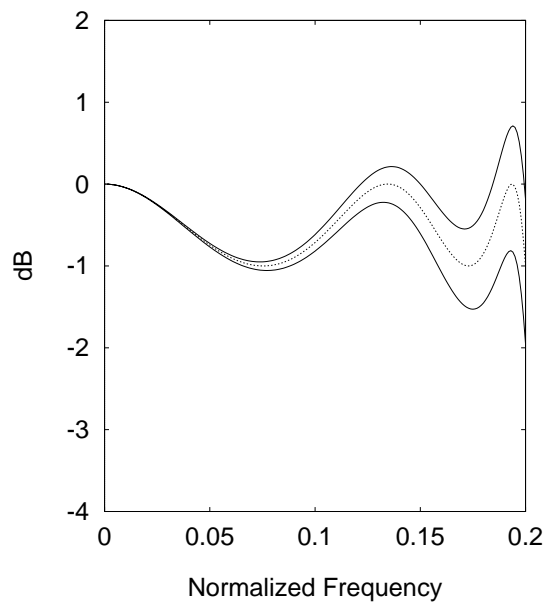
e

$$\beta_u(\omega) = |H(\omega)| + 5[(1 - \pi/4)\lambda(\omega)]^{1/2}, \quad (3.9)$$

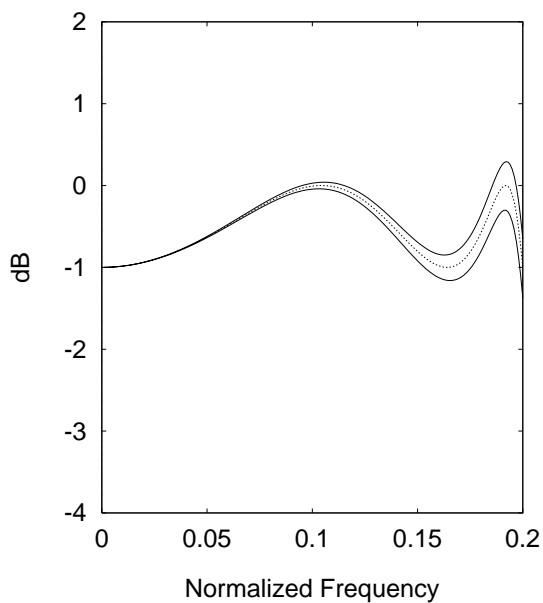
que determinam, respectivamente, as curvas de limite inferior e superior que englobam as respostas em frequência factíveis, considerando-se os erros nas razões de capacitâncias. Analisando as eqs. (3.4), (3.8) e (3.9), pode-se concluir que uma diminuição em N reduz a sensibilidade na faixa de passagem, mas é necessário aumentar M para manter a atenuação na faixa de rejeição, o que, por sua vez, aumenta o desvio da resposta em frequência na faixa de rejeição. Existe, então, um compromisso que determina um limite superior para as ordens do denominador e numerador a fim de se obter uma baixa sensibilidade. O exemplo a seguir ilustra o procedimento para encontrar um filtro ótimo, comparando-se as curvas limite obtidas para diferentes funções de transferência.



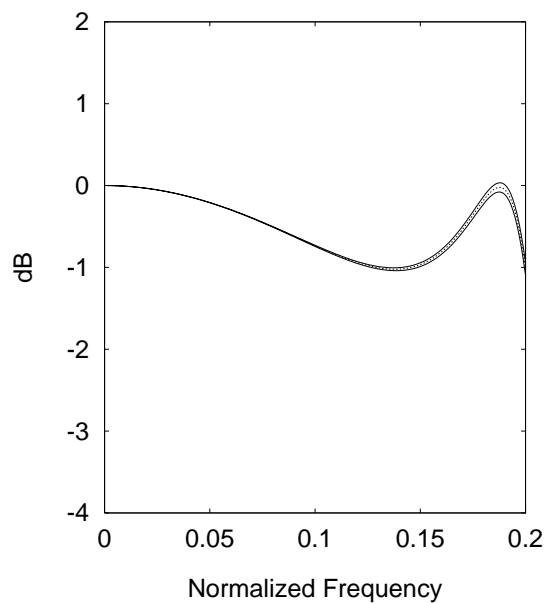
(a)



(b)



(c)



(d)

Figura 3.1: Sensibilidade na faixa de passagem dos filtros com $\omega_p = 0.2$, $\omega_s = 0.3$, $\delta_p = 0.1087$ e $\delta_s \leq 0.001$: (a) $M = 5$, $N = 7$; (b) $M = N = 6$; (c) $M = 7$, $N = 5$; (d) $M = 9$, $N = 3$. Linhas pontilhadas: resposta em frequência ideal; linhas sólidas: curvas de limite superior (β_u) e inferior (β_ℓ)

A figura 3.1 mostra as curvas $\beta_\ell(\cdot)$ e $\beta_u(\cdot)$ na faixa de passagem para quatro projetos de filtros diferentes, todos com os mesmos parâmetros nominais $\omega_p = 0.2$, $\omega_s = 0.3$, *ripple* na faixa de passagem de 1dB ($\delta_p = 0.1087$) e atenuação de 60dB na faixa de rejeição ($\delta_s = 0.001$). Assume-se que $\sigma_\epsilon = 0.001$ para os erros nas razões de capacitâncias. Cada gráfico mostra três curvas: a resposta em frequência ideal (em linhas pontilhadas) e as curvas limite (em linhas sólidas). Pode-se notar que as figuras também incluem o projeto elíptico (Fig. 3.1.b). Como ressaltado acima, podemos comprovar que uma redução em N reduz a sensibilidade na faixa de passagem, sendo necessário aumentar M para manter a atenuação na faixa de rejeição. Além disso, $|B(\omega)|$ diminui na faixa de rejeição conforme se diminui o número de pólos, uma vez que, para este exemplo, as distâncias da maioria dos pólos aos pontos do círculo unitário correspondentes à faixa de rejeição são maiores do que um.

Como pode ser observado, o preço de uma baixa sensibilidade é uma cadeia de atrasos mais longa, uma vez que o filtro elíptico de quinta ordem necessitaria de 5 atrasos unitários, enquanto que o menos sensível faria uso de 8 atrasos para implementar os coeficientes do numerador. No caso extremo, um filtro FIR de fase linear que satisfaça às especificações teria comprimento 22 (isto é, ordem 21), porém, deve se ressaltar que quanto maior a cadeia de atrasos, maior o ruído acumulado pelo sinal sendo transferido de um estágio para outro. É particularmente importante para aplicações de baixa tensão e baixa potência determinar um compromisso que defina um limite superior para as ordens do denominador e numerador a fim de se obter baixa sensibilidade e ruído, uma vez que, nestas aplicações, o ganho finito do amplificador operacional e o *offset* contribuem para um aumento da distorção na resposta em frequência, especialmente na faixa de rejeição, onde os pesos do caminho

direto do sinal têm que ser precisamente combinados para garantir um sinal de baixa amplitude.

Com base no exemplo acima, pode-se notar que a sensibilidade na faixa de passagem diminui com a diminuição do número de pólos. Normalmente, os zeros dos filtros IIR seletivos são posicionados sobre o círculo unitário, contribuindo para uma atenuação máxima na faixa de rejeição, o que implica em uma implementação mais fácil devido à simetria dos coeficientes do numerador. Um algoritmo apropriado foi descrito em [7] para o projeto de filtros IIR *equirripple* com diferentes ordens do numerador e denominador, reduzindo a complexidade computacional.

Dados os valores de M e N na Eq. (3.1), o algoritmo calcula os coeficientes a_k e b_k do filtro por um procedimento iterativo, tal que as especificações desejadas sejam atendidas. Desta forma, os zeros podem estar tanto sobre o círculo unitário quanto dentro, o que corresponde ao chamado projeto *extra-ripple* [8]. Um filtro é dito *extra-ripple* quando a sua resposta em frequência possui um extremo a mais que o mínimo necessário para ser ótimo, e existe apenas quando a ordem do denominador for par.

É sempre melhor minimizar o número de pólos já que um menor número de pólos implica em uma menor sensibilidade e atraso de grupo. Em particular, como será mostrado mais tarde, projetos com apenas dois pólos serão os mais atrativos em muitos casos.

Capítulo 4

Projeto Ótimo de Filtros a Capacitores Chaveados.

Em geral, amplificadores operacionais representam uma área considerável de circuito, consomem potência e geram ruído. Portanto, um número menor de amplificadores operacionais na estrutura do filtro implicará em uma realização mais prática. Em [9] e [10], foi desenvolvida uma realização FIR na forma direta, reduzindo o número de amplificadores operacionais e aumentando o número de fases, substituindo a típica cadeia de atraso com duas fases por um esquema de chaveamento multifase, possibilitando a multiplexação do amplificador operacional no tempo. Partindo desta estrutura FIR básica e do procedimento descrito no capítulo anterior para a determinação da ordem do numerador e denominador da função de transferência, o desenvolvimento de uma nova estrutura para filtros IIR é mostrada a seguir.

4.1 Estrutura do Filtro

O projeto de um filtro passa-baixa é mostrado a seguir para ilustrar a estrutura proposta. O filtro desejado deve possuir as seguintes especificações: frequência de passagem $\omega_p = 0.2$ e frequência de rejeição $\omega_s = 0.26$, *ripple* de 0.5 dB na faixa de passagem e mais de 40dB de atenuação na faixa de rejeição. A solução ótima para este caso é $M = 9$, $N = 3$ (*extra-ripple*), cujos coeficientes da função de transferência estão mostrados na Tabela 4.1. O diagrama esquemático completo do filtro

Tabela 4.1: Coeficientes do filtro proposto ($M = 9$, $N = 3$).

a_0	a_1	a_2	a_3	a_4	a_5
0.0514	0.1593	0.2932	0.3601	0.3052	0.1659
a_6	a_7	a_8	b_0	b_1	b_2
0.0364	-0.0191	-0.0202	1	-0.5131	0.7973

proposto está mostrado na Fig. 4.1. Uma vez que a ordem do numerador é quatro vezes maior que a ordem do denominador, 5 seções (células) FIR de segunda ordem foram usadas para implementar os coeficientes do filtro: 4 células em cascata no caminho direto e 1 célula na realimentação, como pode ser observado na Fig. 4.1. Desta forma, a estrutura possui um atrativo aspecto modular, o que torna mais fácil seu *layout* em implementações práticas. Cada célula implementa funções de transferência FIR de segunda ordem na forma direta, usando 4 fases diferentes. Uma análise mais detalhada de tal célula pode ser encontrada em [9] e [10] e no Apêndice A do presente trabalho. As características mais importantes são mostradas a seguir, a fim de proporcionar um melhor entendimento da estrutura utilizada. Os capacitores da estrutura podem ser separados em dois grupos distintos: os ponderadores

(C_{2i}^j , $i = 0, 1$, $j = 1, 2, \dots, 5$) e os de realimentação, (C_{22}^j e C_{1k}^j , $j = 1, 2, \dots, 5$, $k = 1, 2, 3$). Cada elemento de realimentação amostra a tensão do seu antecessor imediatamente após ter transferido sua carga para o próximo estágio, o que significa que todos os capacitores são zerados antes de armazenarem um novo valor do sinal de entrada. Uma vez que mais de um capacitor da estrutura está conectado ao nó de terra virtual do amplificador operacional durante o carregamento de um dado capacitor de realimentação, tal elemento armazena a soma de todas as entradas aplicadas simultaneamente. Então, os estágios subsequentes irão amostrar e transferir o sinal previamente somado. Os capacitores C_{20}^j e C_{21}^j são conectados entre os dois primeiros estágios da cadeia de atraso e o nó de terra virtual do último capacitor de realimentação C_{22}^j , a fim de transferir para a célula seguinte o somatório resultante dos sinais. A função de transferência da célula de segunda ordem resultante pode ser escrita como (omitindo os índices superiores):

$$G(z) = \frac{C_{10}}{C_{22}} z^{-1} \left[\frac{C_{20}}{C_{11}} + \frac{C_{21}}{C_{12}} z^{-1} + z^{-2} \right]. \quad (4.1)$$

O termo z^{-1} multiplicando a função de transferência é devido ao excesso de um período de *clock* presente em cada estágio. Isto é causado pelo atraso de 3/4 de período entre dois estágios subsequentes. Este atraso fracional é então arredondado para o inteiro mais próximo quando todos os capacitores de saída são descarregados durante a mesma fase, aumentando o atraso do primeiro estágio para um período, enquanto o segundo já gera um atraso máximo de três períodos. Entretanto, a ordem efetiva do filtro é igual ao número de fases utilizadas, sem se considerar as invertidas, subtraídas de dois.

Os coeficientes desta forma direta podem ser determinados completamente

pelos capacitores C_{2i}^j . Os coeficientes negativos podem ser realizados fazendo uma ligeira modificação [11], incluindo os capacitores $C_{i\ell_a}^j$ e $C_{i\ell_b}^j$, $\ell = 0, 1$.

O denominador é realizado pela mesma célula básica, excetuando-se o fato de que os capacitores C_{11} e C_{20} são eliminados a fim de realizar a função de transferência desejada, que é dada por:

$$F(z) = \frac{C_{10}}{C_{22}} z^{-1} \left[\frac{C_{21}}{C_{12}} + z^{-1} \right], \quad (4.2)$$

que é a forma necessária para a realização dos pólos.

4.2 Comparação com Outros Filtros.

Um filtro elíptico e um filtro FIR foram considerados para atender às mesmas especificações do filtro proposto com a finalidade de comparar a estrutura apresentada aqui com outros projetos de filtros. Foram obtidos os coeficientes de um filtro elíptico de quinta ordem ($M = N = 6$) e um filtro FIR de comprimento 30 ($M = 29, N = 1$), cujas respectivas respostas em frequência estão mostradas na Fig. 4.2, incluindo a do filtro proposto, para fins de comparação. Os respectivos atrasos de grupo estão mostrados na Fig. 4.3.

Alguns pontos podem ser ressaltados. Primeiro, considerando apenas realizações na forma direta, a aproximação proposta possui complexidade computacional similar a do filtro elíptico, com as vantagens de possuir sensibilidade menor com respeito aos erros nas razões de capacitâncias e característica de fase mais linear, devido ao fato de sua função de transferência possuir apenas dois pólos, que estão mais afastados do círculo unitário do que os do filtro elíptico que estão mais distan-

tes da origem. Segundo, somente um filtro FIR fornece uma fase exatamente linear, porém a ordem necessária pode ficar excessivamente grande, fazendo o seu emprego inviável, uma vez que uma longa cadeia de atrasos resulta em maior consumo de potência, maior ruído e redução da atenuação na faixa de rejeição devido a um maior espalhamento dos valores dos capacitores e, conseqüentemente, menor acurácia nos coeficientes do filtro. Além disso, qualquer variação percentual sobre os capacitores do filtro poderá contribuir com uma sensibilidade mais alta na faixa de rejeição, já que tal região corresponde à parte do filtro onde todos os sinais são somados.

Para fins comparativos, um projeto *ladder* LDI foi desenvolvido para o filtro elíptico acima, utilizando o método de síntese por variáveis de estado, conforme mostrado a seguir.

4.3 Projeto *Ladder* LDI.

A realização de filtros a capacitores chaveados utilizando aproximações de estruturas *ladder* é uma técnica bastante conhecida. Como dito anteriormente, a idéia básica neste tipo de desenvolvimento é tentar conseguir, mediante a transformação do plano s para o plano z , que as características de uma rede *ladder* duplamente terminada sejam conservadas pelos filtros SC neste processo de síntese, como, por exemplo, sua baixa sensibilidade. Entre os métodos empregados na síntese de redes *ladder* LDI, podem ser ressaltados a técnica da simulação de indutores e o método das variáveis de estado.

O método utilizado baseia-se inicialmente na realização de diagramas conhecidos como *leapfrog*, que são construídos a fim de facilitar a transição da rede *ladder* para o filtro SC desejado, realizando a aproximação dos circuitos integra-

dores contínuos da estrutura a ser sintetizada por circuitos integradores SC. Esta técnica transforma um conjunto de equações de estado descritas pela rede *ladder* em representações por diagramas de fluxo, que contêm em sua estrutura somente ramos de tensão e corrente. Tais ramos representam as funções de transferência em s de cada elemento do circuito de onde está sendo obtido o diagrama. Os ramos que interconectam tais nós são os circuitos integradores, que, para implementar cada uma das transferências em z , são substituídos pelos correspondentes integradores a capacitor chaveado, restando apenas a correta determinação dos valores das razões de capacitores para a implementação da função de transferência do filtro.

A seguir, o projeto *ladder* LDI é realizado a fim de contrastar suas vantagens e desvantagens com a estrutura proposta neste trabalho. Por ser uma técnica bastante conhecida, as equações de estado do filtro analógico não serão descritas aqui, podendo ser encontradas em outras literaturas [12] e no Apêndice B do presente trabalho, sendo apresentado neste capítulo apenas o resultado final.

Seguindo as especificações descritas na Seção 4.1, obtem-se um filtro elíptico de ordem 5 analógico, cuja rede *ladder* duplamente terminada correspondente está mostrada na Fig. 4.4 e os valores dos elementos estão descritos na Tabela 4.2.

Tabela 4.2: Elementos da rede *ladder*.

R_L	R_G	C_1	C_2	L_2	C_3	C_4	L_4	C_5
1	1	1.4002	0.5145	0.8426	2.1648	0.1838	1.0627	1.6503

Escrevendo as equações de estado da estrutura, aplicando a transformação LDI e fazendo a implementação usando integradores SC, obtém-se a estrutura da Fig. 4.5.

É necessário que a frequência de corte seja pré-distorcida a fim de que a realização discreta mantenha a mesma frequência de corte desejada. Tal distorção é dada pela equação:

$$\omega_{p_s} = \frac{2}{T} \sin \frac{\omega_{p_z} T}{2}, \quad (4.3)$$

$$T = \frac{2\pi}{\omega_{s_z}}, \quad (4.4)$$

onde ω_{p_s} e ω_{p_z} são, respectivamente, as frequências de corte do filtro nos domínios s e z e ω_{s_z} é a frequência de amostragem do filtro. Para que a realização não tenha problemas de *aliasing*, é necessário que a frequência de amostragem seja pelo menos 34 vezes maior que a frequência de corte do filtro discreto, ou seja, $\omega_{p_z} = 34\omega_{s_z}$. Para se obter uma faixa dinâmica máxima em todas as saídas dos amplificadores operacionais, é necessário fazer uma equalização que depende da posição em que um dado capacitor está (entrada ou saída) em relação a um dado amplificador operacional. Os valores finais dos capacitores utilizados na estrutura são mostrados na Tabela 4.3 e a resposta em frequência obtida por simulação está mostrada na Fig. 4.6.

Tabela 4.3: Valores dos capacitores da rede *ladder* LDI.

C_1	C_2	C_{3_a}	C_{3_b}	C_4	C_5	C_6	C_{7_a}	C_{7_b}	C_8
0.1848	1.9155	0.4943	0.5370	0.8438	2.8669	1.0642	0.1787	0.1896	1.8367
C_9	C_{10}	C_{11}	C_{12}	C_{13}	C_{14}	C_{15}	C_{16}	C_{17}	C_{18}
0.1848	0.1378	0.1338	0.1117	0.1164	0.4088	0.2933	0.3057	0.2559	0.2316

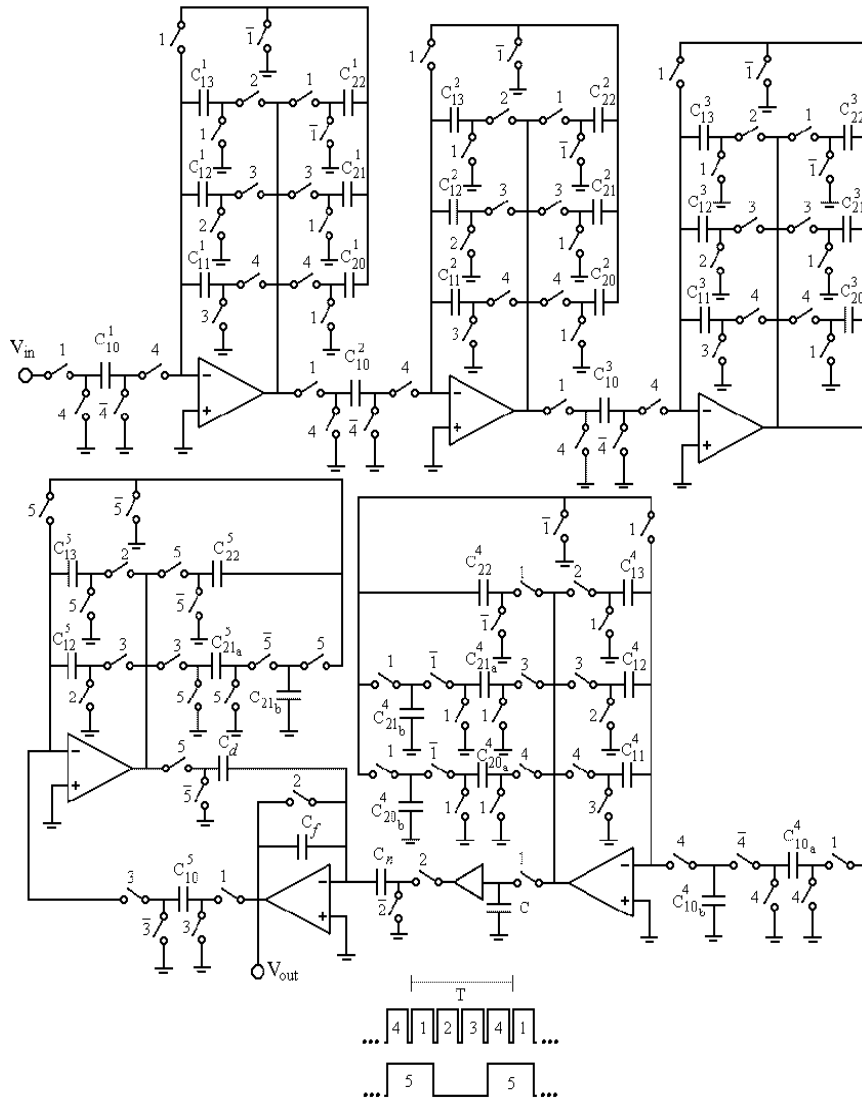


Figura 4.1: Diagrama Esquemático da implementação IIR SC para o exemplo ilustrativo.

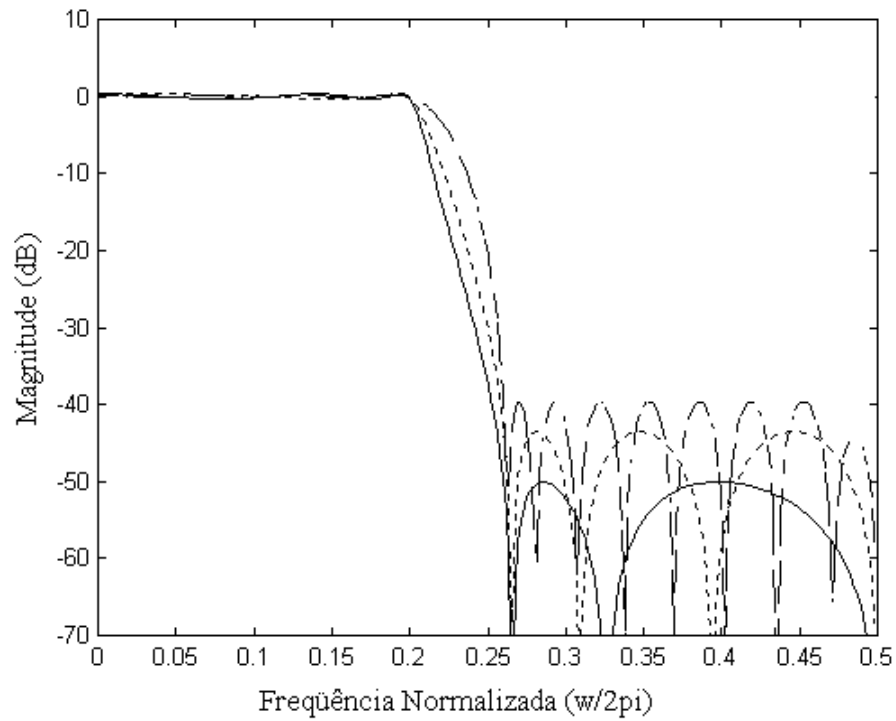


Figura 4.2: Respostas em freqüência: projeto proposto (linhas sólidas), elíptico (linhas tracejadas) e FIR (linhas pontilhadas).

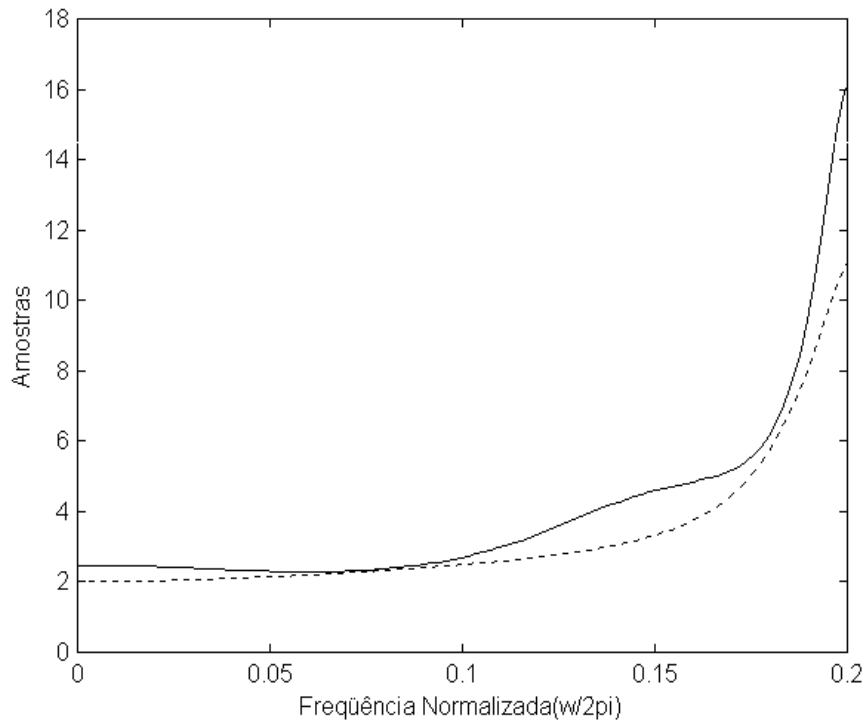


Figura 4.3: Atraso de grupo na faixa de passagem: filtro proposto (linhas sólidas), elíptico (linhas tracejadas) e FIR (linhas pontilhadas).

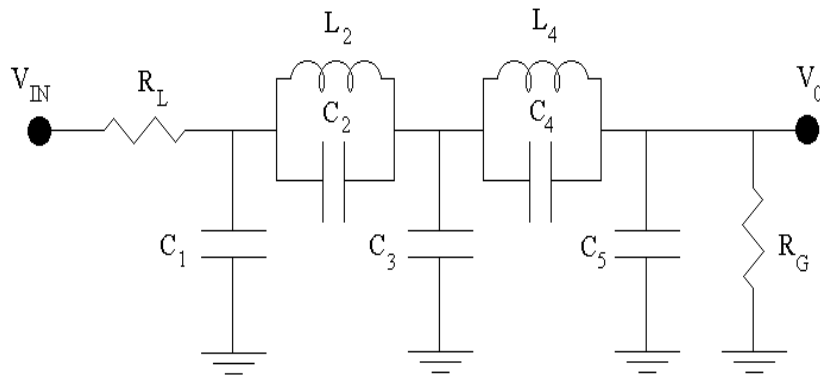


Figura 4.4: Rede *ladder* duplamente terminada.

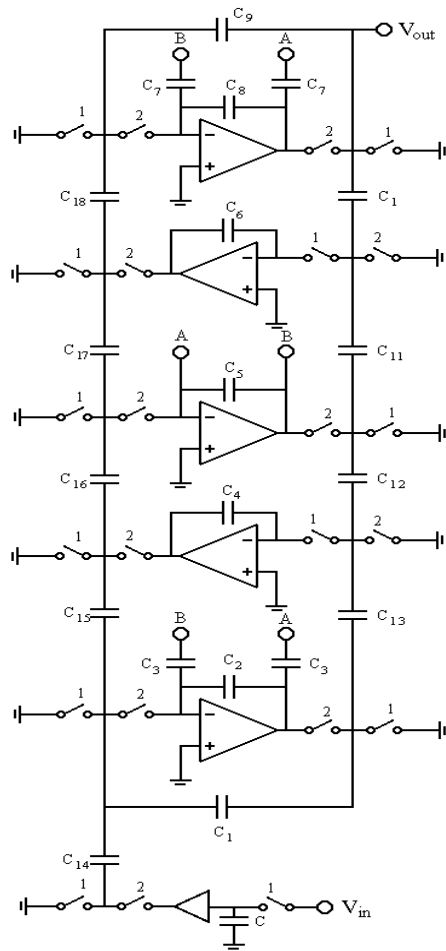


Figura 4.5: Implementação *ladder* LDI.

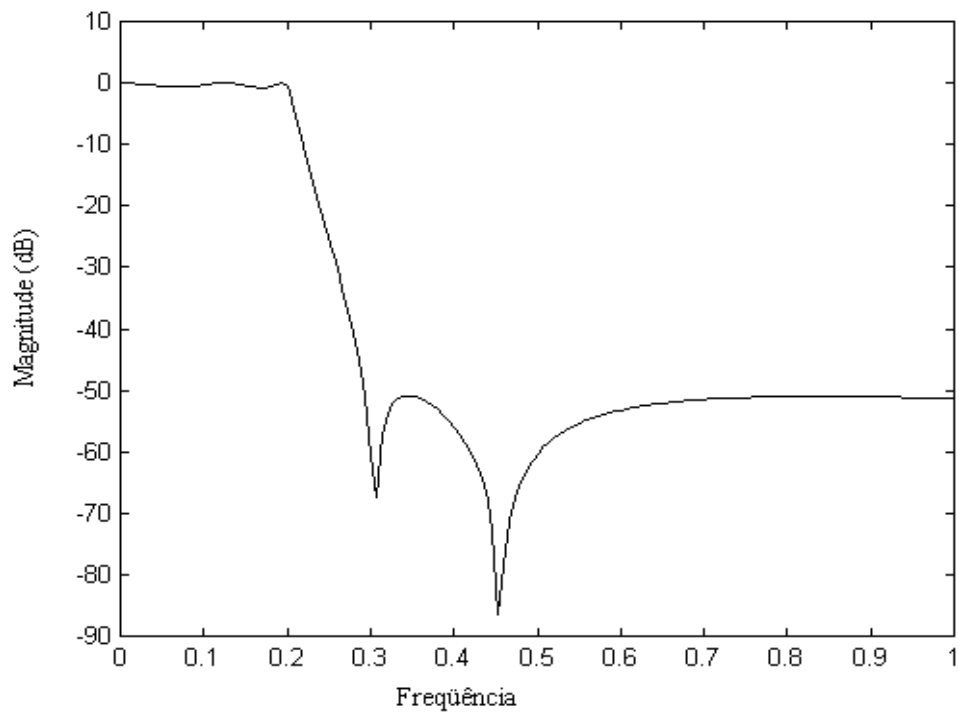


Figura 4.6: Resposta em frequência da realização *ladder* LDI.

Capítulo 5

Análise de Sensibilidade.

Visando verificar a sensibilidade da estrutura proposta, uma análise de sensibilidade foi feita, através de simulação com um programa de computador, a fim de comprovar os resultados apontados no Cap. 3, especialmente para a realização com mais zeros que pólos.

A mesma análise foi feita para a realização *ladder* LDI, conhecida por sua baixa sensibilidade, a fim de contrastar as vantagens e desvantagens de cada implementação, incluindo um estudo sobre a área ocupada pelos capacitores em uma implementação integrada.

5.1 Estrutura Proposta.

A sensibilidade do filtro proposto foi verificada através de simulação, assumindo que as tolerâncias nas razões de capacitâncias são iguais a 0.1%, que é um erro realista quando os coeficientes do filtro são realizados através de conjuntos de capacitores unitários. A Fig. 5.1 mostra a resposta em frequência ideal na faixa de passagem em linha sólida e as curvas de limite superior e inferior em linhas trace-

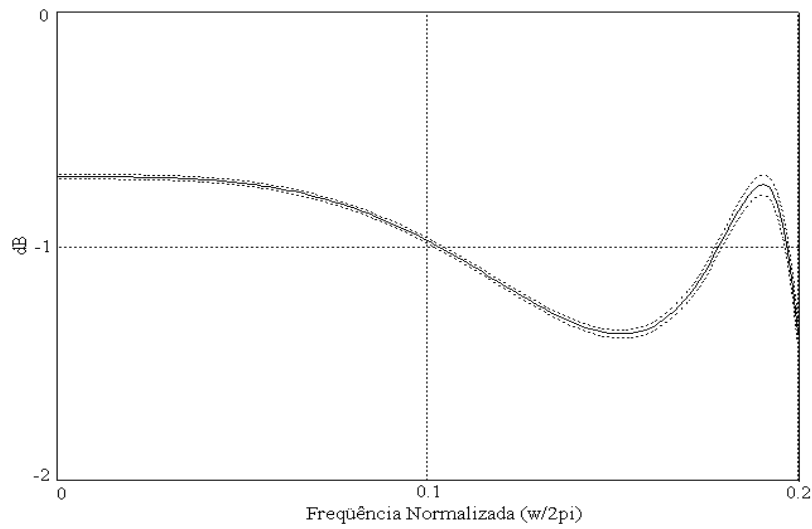


Figura 5.1: Sensibilidade do filtro proposto na faixa de passagem.

jadas, que estão de acordo com o descrito pelas equações (3.2) e (3.3). Tais limites englobam cerca de 99.7% de todas as possíveis respostas em frequência.

A fim de verificar a performance do filtro em uma realização em circuitos integrados mais realista, o valor de cada capacitor foi expresso em termos de um número inteiro de capacitâncias unitárias, como mostrado na Tabela 5.1 (C_{il_a} e C_{il_b} são usados para implementar coeficientes de valores negativos). Desta forma, os coeficientes do filtro podem ser realizados por bancos de capacitores na forma de uma matriz de capacitores. Então, para a célula 2 (a do meio no ramo superior da Fig. 4.1), por exemplo, a razão C_{21}/C_{12} que é idealmente igual a 0.7238 é aproximada por 5/7, de acordo com a Tabela 5.1.

A Fig. 5.2 apresenta a comparação entre a resposta em frequência ideal (em linhas sólidas) e a obtida com os coeficientes realizados como uma razão de números inteiros de capacitâncias unitárias (em linhas tracejadas). Apesar do erro máximo de 4% nas razões de capacitores, apenas uma ligeira diferença pode ser observada na faixa de passagem, confirmando a baixa sensibilidade da estrutura proposta. Em

Tabela 5.1: Valores de capacitores do filtro proposto em termos de capacitâncias unitárias.

	Célula 1	Célula 2	Célula 3	Célula 4	Célula 5
C_{10_a}	1	1	2	4	19
C_{10_b}	-	-	-	4	-
C_{11}	1	1	1	2	-
C_{12}	5	7	5	2	14
C_{13}	1	1	1	1	1
C_{20_a}	1	1	1	10	-
C_{20_b}	-	-	-	10	-
C_{21_a}	1	5	8	6	18
C_{21_b}	-	-	-	6	18
C_{22}	1	1	9	5	24
C_n	1				
C_d	10				
C_f	10				

termos de atraso de grupo, os resultados obtidos não apresentaram diferença em relação aos teóricos, como pode ser verificado na Fig. 5.3.

5.2 Estrutura *ladder* LDI.

Uma análise de sensibilidade também foi feita para o circuito *ladder* LDI da Fig. 4.5 com o auxílio de um programa de computador [13], assumindo erros nas razões de capacitores de 0.1%. Detalhes da resposta em frequência na faixa

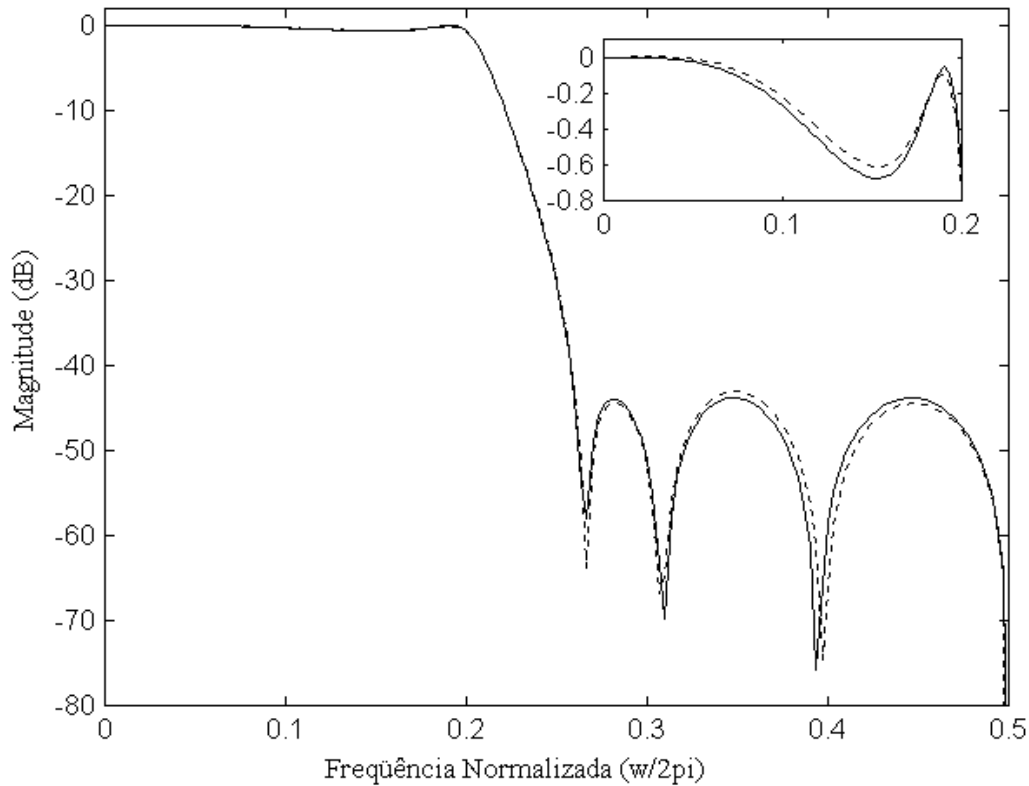


Figura 5.2: Respostas em freqüência teórica (linhas sólidas) e com coeficientes realizados como razão de números inteiros (linhas pontilhadas).

de passagem são mostrados na Fig. 5.4, confirmando a baixa sensibilidade da rede *ladder*. Pode-se notar, entretanto, que o comportamento na faixa de passagem não é *equirriple*, o que pode ser explicado pelo fato de que, ao se fazer a passagem da rede RLC analógica para o circuito discreto, tal transformação não realiza o mapeamento completo, como explicado no Cap. 2, não realizando perfeitamente as terminações resistivas.

Com a finalidade de fazer uma comparação de performance entre a estrutura proposta e a rede *ladder* LDI numa realização em circuito integrado, as capacitâncias da realização *ladder* foram expressas como razões de números inteiros de ca-

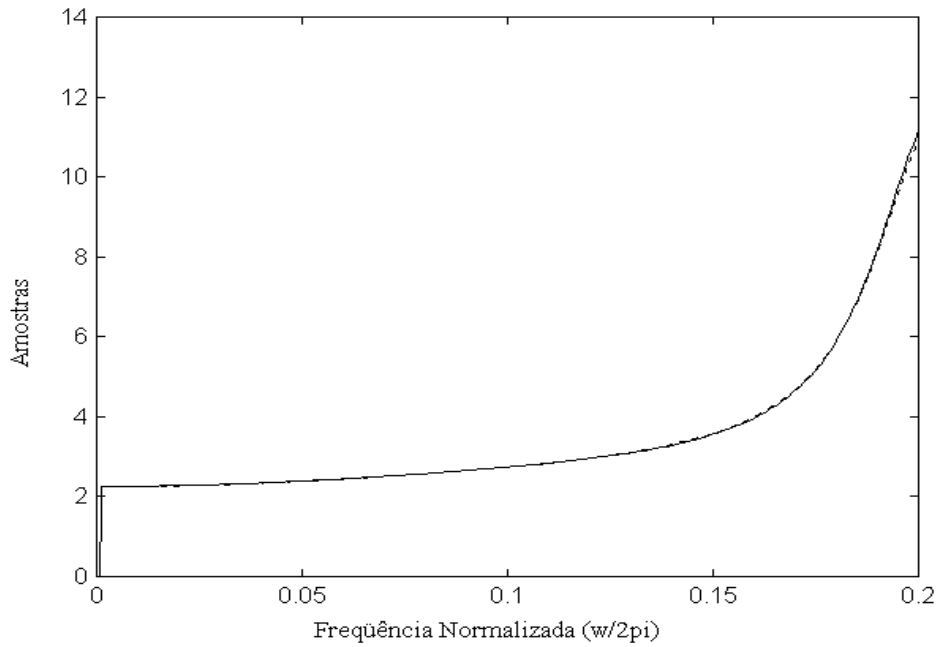


Figura 5.3: Atraso de grupo teórico (linha sólida) e com coeficientes realizados segundo uma razão de números inteiros (linha pontilhada).

capacitâncias unitárias, expressas na Tabela 5.2, seguindo a mesma linha de raciocínio adotada para a estrutura proposta, procurando manter o mesmo erro máximo em ambas realizações (4%). A Fig. 5.5 mostra as respostas em frequência ideal e com os coeficientes realizados como números inteiros de capacitâncias unitárias. Os correspondentes atrasos de grupo estão mostrados na Fig. 5.6.

Fazendo uma comparação entre os resultados obtidos em termos de capa-

Tabela 5.2: Valores dos capacitores da rede *ladder* LDI em termos de capacitâncias unitárias.

C_1	C_2	C_{3_a}	C_{3_b}	C_4	C_5	C_6	C_{7_a}	C_{7_b}	C_8
1	32	8	11	15	58	8	3	4	31
C_9	C_{10}	C_{11}	C_{12}	C_{13}	C_{14}	C_{15}	C_{16}	C_{17}	C_{18}
3	1	1	2	2	7	5	6	5	4

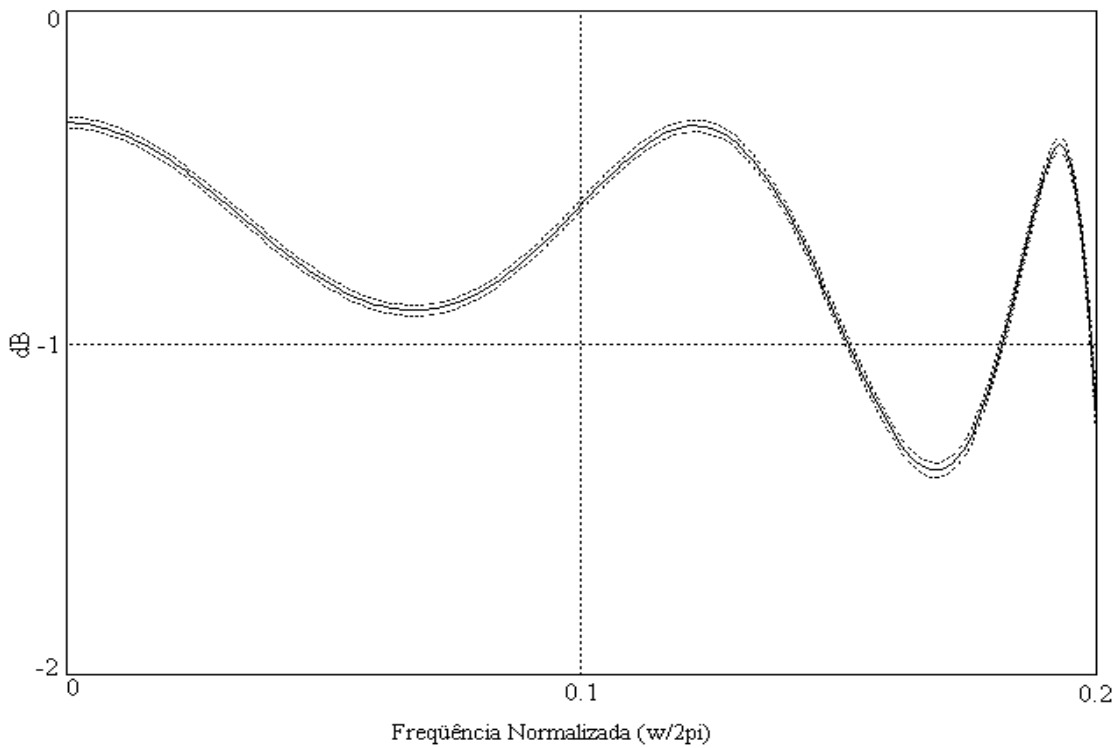


Figura 5.4: Sensibilidade da realização *ladder* LDI na faixa de passagem.

citâncias unitárias, a realização *ladder* LDI ocupa uma área 13% menor que a ocupada pela estrutura proposta. Porém, apesar de a estrutura proposta usar um maior número de capacitores, o espalhamento dos capacitores da implementação *ladder* LDI é de 58 contra 24 unidades da nova estrutura, que é um importante fator comparativo em implementações integradas, uma vez que, quanto maior o espalhamento, maior será a susceptibilidade do banco de capacitores aos efeitos de gradiente da espessura da camada de óxido e incertezas devido aos efeitos de borda do capacitor unitário. Observando as curvas de resposta em frequência, pode-se notar que as duas implementações apresentam baixa sensibilidade na faixa de passagem, porém, a realização *ladder* LDI é ligeiramente mais sensível na faixa de rejeição.

Além disso, convém ressaltar que a frequência de amostragem para a reali-

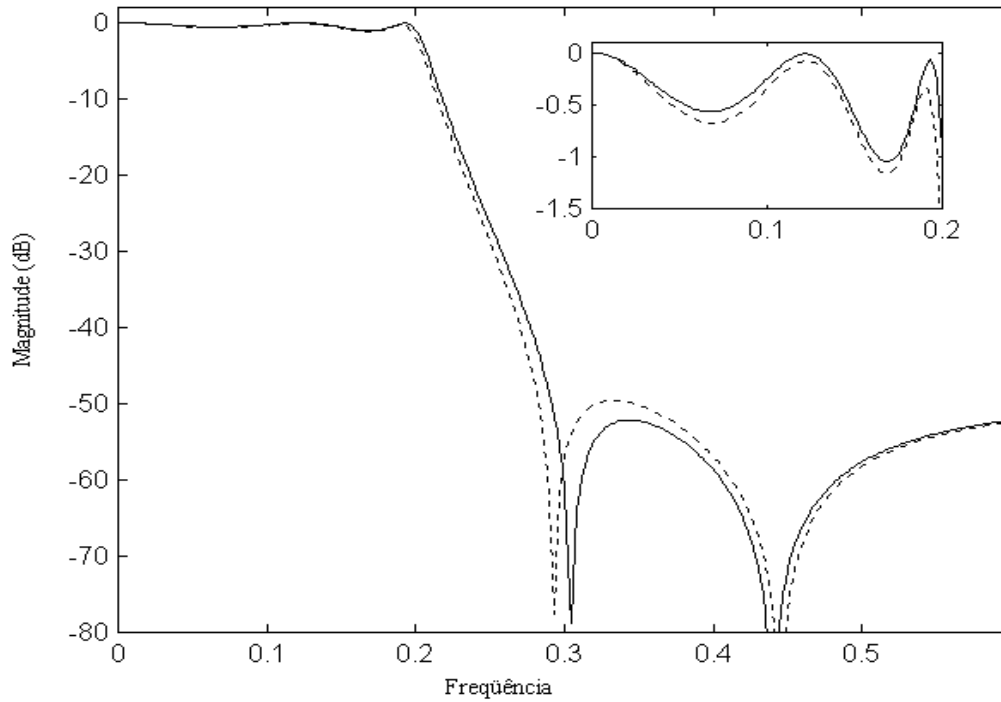


Figura 5.5: Respostas em frequência da realização *ladder* LDI: ideal (linhas sólidas) e com coeficientes realizados como razão de números inteiros (linhas pontilhadas).

zação LDI necessita ser 34 vezes maior que a frequência de corte, o que pode vir a comprometer o tempo de estabilização dos amplificadores operacionais, já que o tempo disponível de carga dos capacitores é pequeno, elevando o consumo de potência. O mesmo não acontece com a estrutura proposta neste trabalho, uma vez que, apesar de utilizar um número maior de fases, a frequência de amostragem é apenas 5 vezes maior que a de corte.

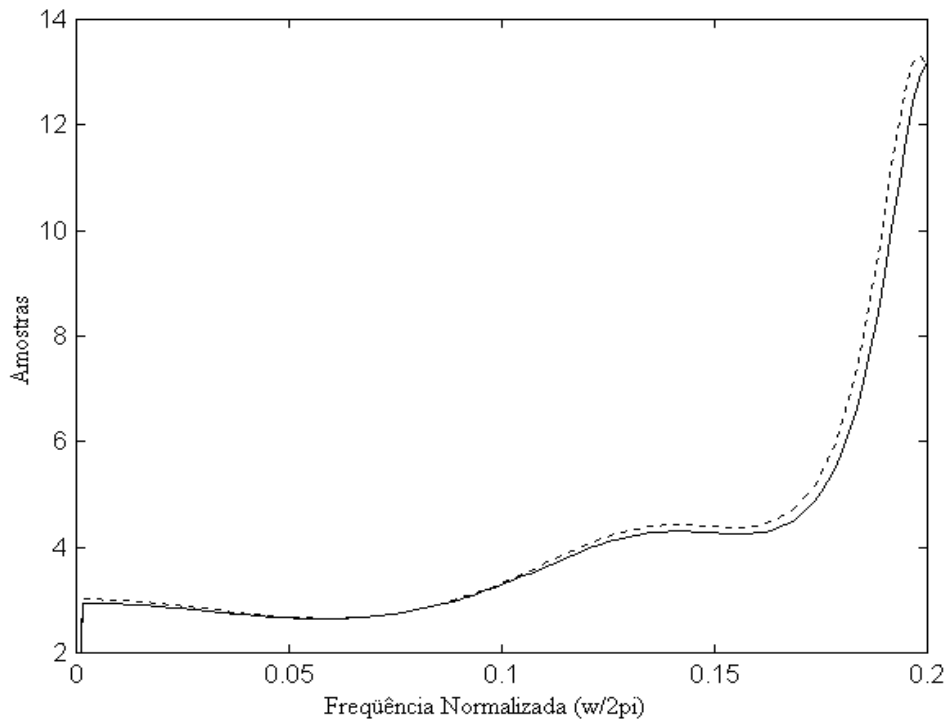


Figura 5.6: Atraso de grupo da realização *ladder* LDI: teórico (linhas sólidas) e com coeficientes realizados como razão de números inteiros (linhas pontilhadas).

Capítulo 6

Resultados Experimentais

O filtro discreto da Fig. 4.1 foi montado e testado em laboratório usando componentes disponíveis comercialmente a fim de verificar a performance da aproximação proposta. Foram usados os seguintes componentes CMOS: chaves analógicas

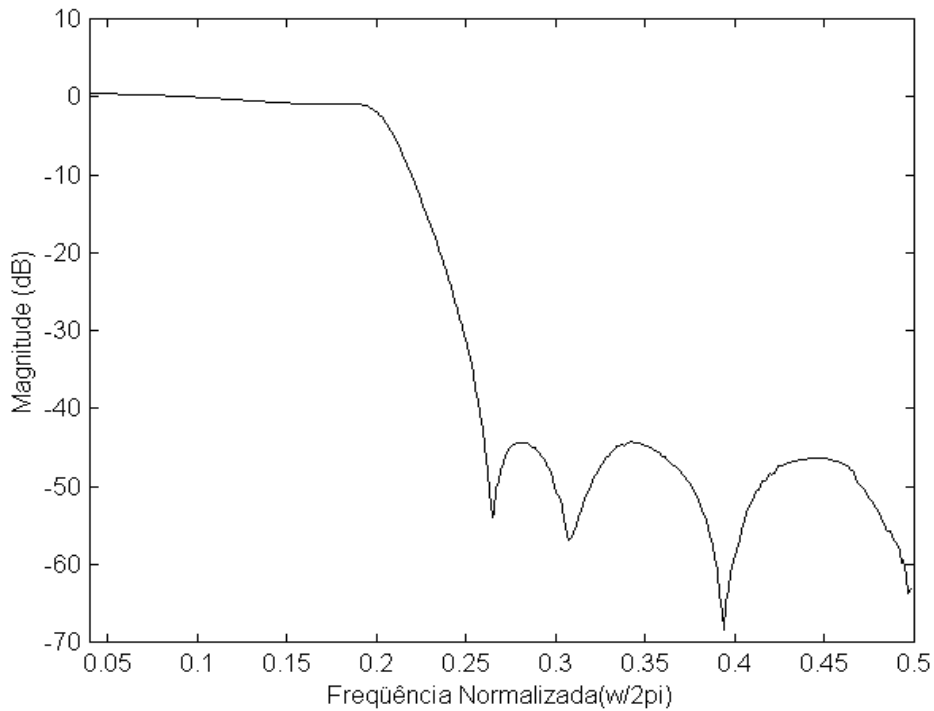


Figura 6.1: Resposta em frequência medida.

CD4016 e amplificadores operacionais TL072. Capacitores de poliéster foram usados para implementar os coeficientes do filtro, e seus valores medidos, em nF , estão mostrados na Tabela 6.1, onde $C_{i\ell_b}$, juntamente com $C_{i\ell_a}$, $i = 1, 2$, $\ell = 1, 2, 3$, são necessários para realizar coeficientes negativos.

Tabela 6.1: Capacitâncias medidas (em nF) para o filtro proposto.

	Cell 1	Cell 2	Cell 3	Cell 4	Cell 5
C_{10_a}	9.83	10.11	2.293	8.068	8.1306
C_{10_b}	-	-	-	8.063	-
C_{11}	9.823	10.112	9.917	10.204	-
C_{12}	9.836	10.132	9.957	10.202	10.199
C_{13}	9.838	10.142	9.969	10.222	10.191
C_{20_a}	9.824	10.115	9.927	51.803	-
C_{20_b}	-	-	-	51.803	-
C_{21_a}	1.884	7.334	15.676	31.407	13.104
C_{21_b}	-	-	-	31.424	13.107
C_{22}	9.83	10.11	9.901	10.207	10.198
C_n	9.907				
C_d	99.108				
C_f	99.128				

A Fig. 6.1 apresenta a resposta em frequência obtida experimentalmente, obtida com um analisador de espectro HP3582A, com varredura interna de frequência, que concorda com a resposta teórica da Fig. 4.2, apresentando apenas uma ligeira diferença na faixa de passagem, devido ao efeito de *sample-and-hold*. Com a fina-

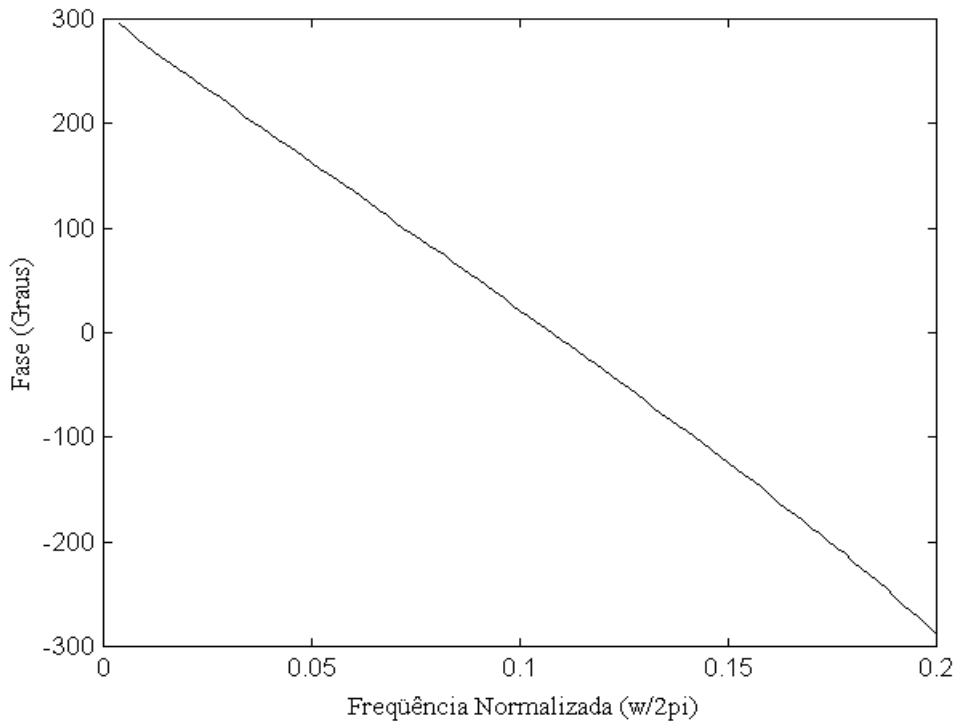


Figura 6.2: Característica de fase medida na faixa de passagem .

lidade de garantir uma completa transferência de carga, levando-se em consideração as constantes de tempo RC produzidas pelas resistências das chaves ligadas e os capacitores, uma baixa freqüência de amostragem foi usada. A escala horizontal está normalizada para a freqüência de amostragem, onde 0.5 corresponde à 500 Hz, que é a metade da freqüência de amostragem. A Fig. 6.2 mostra a resposta de fase medida na faixa de passagem, obtida com um analisador de espectro HP3582A, revelando uma fase aproximadamente linear, como mencionado no Cap. 4.

6.1 Filtro com Atenuação de 60dB

Com o objetivo de verificar a performance da estrutura proposta para atenuações elevadas na faixa de rejeição, um filtro com freqüência de passagem

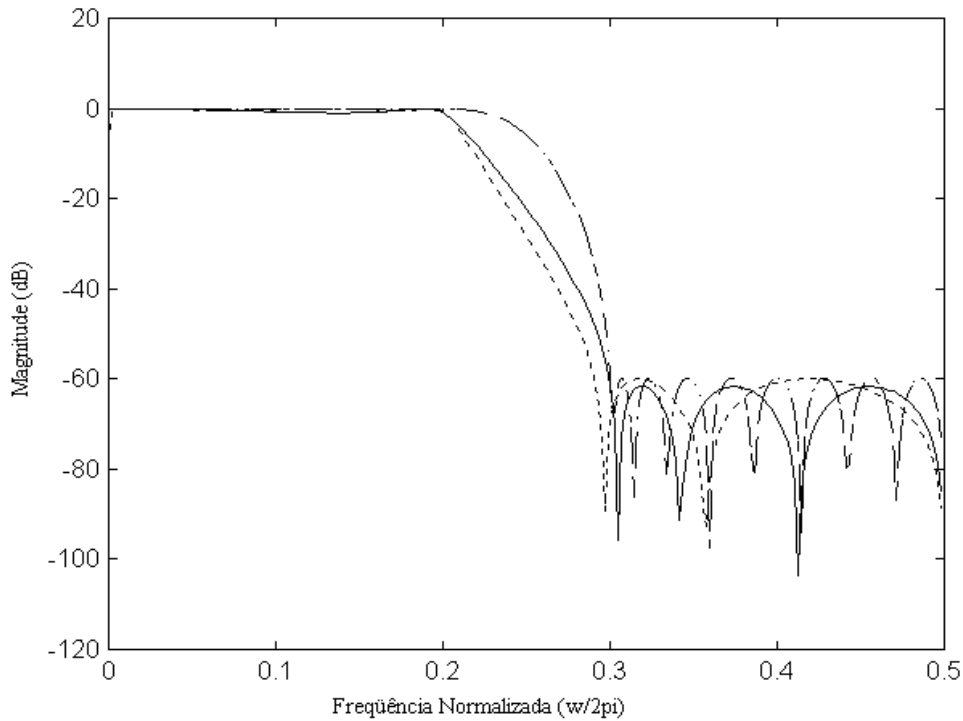


Figura 6.3: Respostas em freqüência do filtro de 60 dB: estrutura proposta (linha sólida), elíptico (linha pontilhada) e FIR (linha tracejada).

$\omega_p = 0.2$, freqüência de rejeição $\omega_s = 0.3$, *ripple* na faixa de passagem de 1dB e atenuação de 60dB na faixa de rejeição foi projetado, construído e testado em laboratório.

No Cap. 3, foi visto que as ordens do numerador e do denominador do filtro que atende às especificações são, respectivamente, $M = 9$ e $N = 3$, como no filtro apresentado anteriormente. Os coeficientes estão dados na Tabela 6.2.

Da mesma forma que no projeto anterior, uma aproximação elíptica de quinta ordem e uma aproximação FIR foram consideradas, a fim de comparar as ordens obtidas para cada realização. Para o caso elíptico, tem-se $M = N = 6$ e, para o caso FIR, tem-se $M = 33$ e $N = 1$. As várias respostas em freqüência estão mostradas na Fig. 6.3.

Tabela 6.2: Coeficientes do filtro com 60dB de atenuação na faixa de rejeição.

a_0	a_1	a_2	a_3	a_4	a_5
0.0247	0.1059	0.2322	0.3225	0.3006	0.1836
a_6	a_7	a_8	b_0	b_1	b_2
0.0632	0.0040	-0.0046	1	-0.5348	0.7669

A estrutura do filtro foi montada em laboratório usando chaves analógicas CD4016, amplificadores operacionais TL072 e capacitores de poliéster, cujas capacitâncias medidas são apresentadas na Tabela 6.3.

A Fig. 6.5 mostra a resposta em frequência experimental do filtro protótipo, obtida com um analisador de espectro HP3582A, com varredura interna de frequência, apresentando um resultado perfeito comparado com os resultados teóricos. A correspondente característica de fase na faixa de passagem está mostrada na Fig. 6.6.

Com a finalidade de obter o comportamento do filtro em uma implementação integrada, os coeficientes foram realizados segundo uma razão de números inteiros de capacitâncias unitárias, com erro máximo de 4.1%, e estão mostrados na Tabela 6.4, que mostra que o espalhamento dos capacitores, neste caso, é de 25 unidades e a área total ocupada pelos capacitores é de 270 unidades de capacitância unitária. Uma comparação entre a resposta em frequência ideal e a obtida com os coeficientes realizados segundo uma razão de capacitâncias unitárias é apresentada na Fig. 6.7, o que mostra que, apesar dos erros nos coeficientes do filtro, a implementação integrada fornece resultados próximos dos ideais.

A partir dos resultados obtidos neste capítulo, pode-se verificar a baixa sensibilidade e a fase aproximadamente linear na faixa de passagem da estrutura propos-

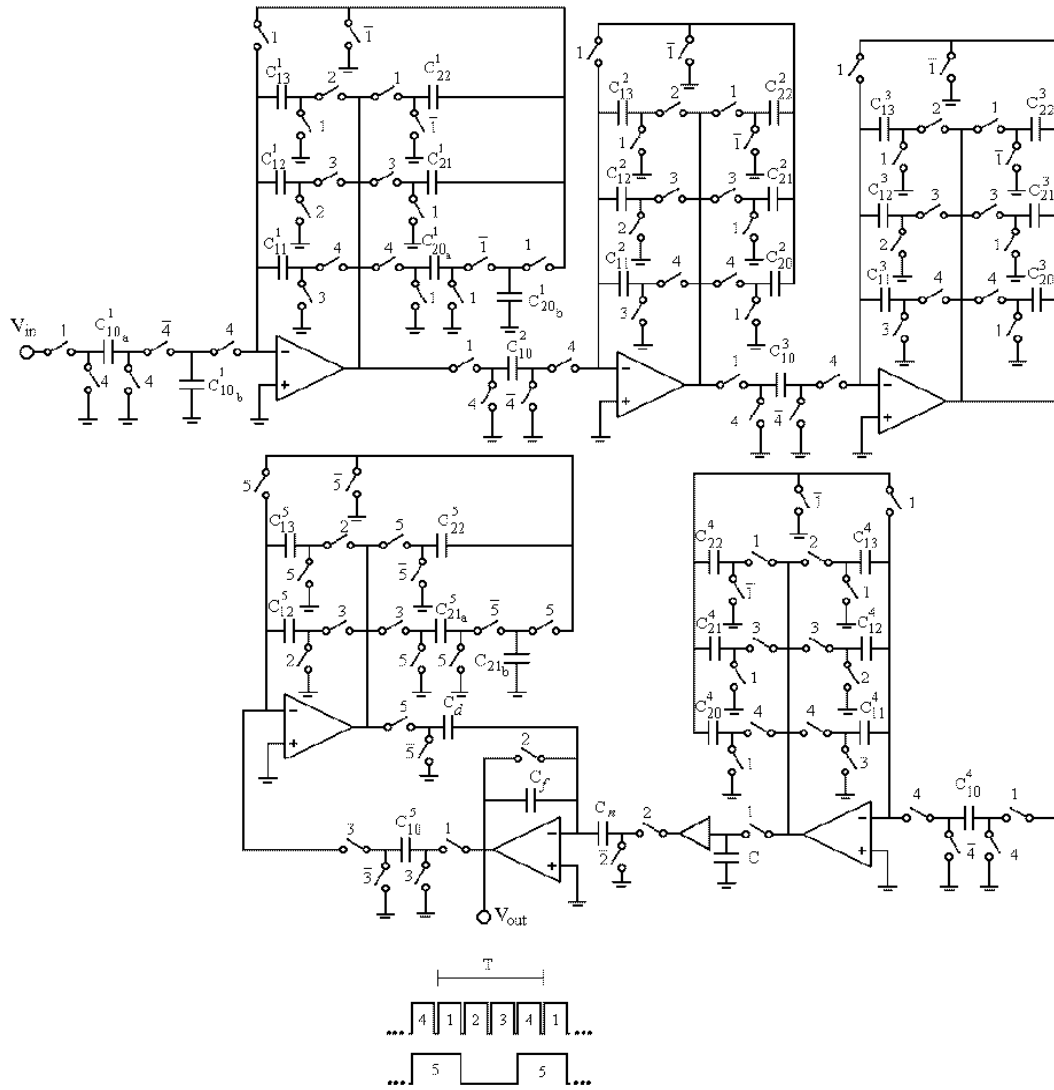


Figura 6.4: Diagrama esquemático da realização de 60dB de atenuação.

ta, além de um casamento perfeito entre os resultados teóricos e experimentais, não sofrendo de distorções referentes à realização de terminações resistivas, nem necessitando de uma elevada frequência de amostragem (como na realização *ladder* LDI), mostrando que a estrutura pode ser usada em aplicações em que faz-se necessário o uso de uma fase linear na faixa de passagem, validando os conceitos descritos neste trabalho.

Tabela 6.3: Capacitâncias medidas (em nF) para o filtro com 60dB de atenuação na faixa de rejeição.

	Célula 1	Célula 2	Célula 3	Célula 4	Célula 5
C_{10_a}	28.4102	2.5703	2.6512	2.588	7.8138
C_{10_b}	28.438	-	-	-	-
C_{11}	10.204	9.823	10.112	9.917	-
C_{12}	10.202	9.836	10.132	9.957	10.199
C_{13}	10.222	9.838	10.142	9.969	10.191
C_{20_a}	3.809	9.824	10.115	9.927	-
C_{20_b}	3.806	-	-	-	-
C_{21_a}	8.225	6.6897	17.146	11.534	14.2637
C_{21_b}	-	-	-	-	14.2615
C_{22}	10.207	9.83	10.11	9.901	10.198
C_n	15.064				
C_d	15.069				
C_f	15.074				

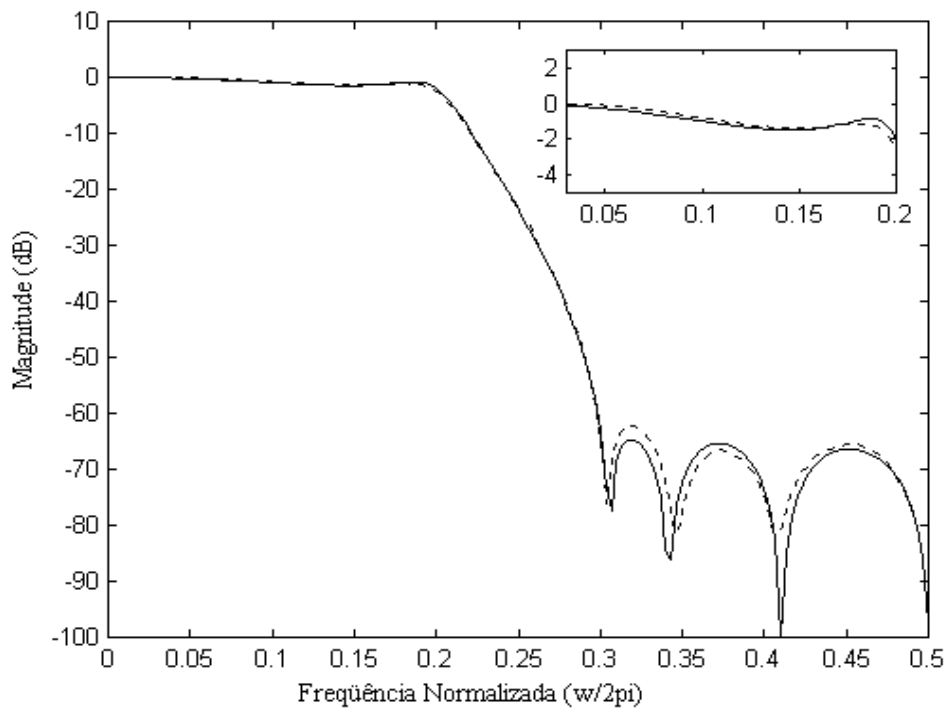


Figura 6.5: Respostas em frequência do filtro de 60 dB: teórica com efeito de *sample-and-hold* (linha sólida); experimental (linha pontilhada).

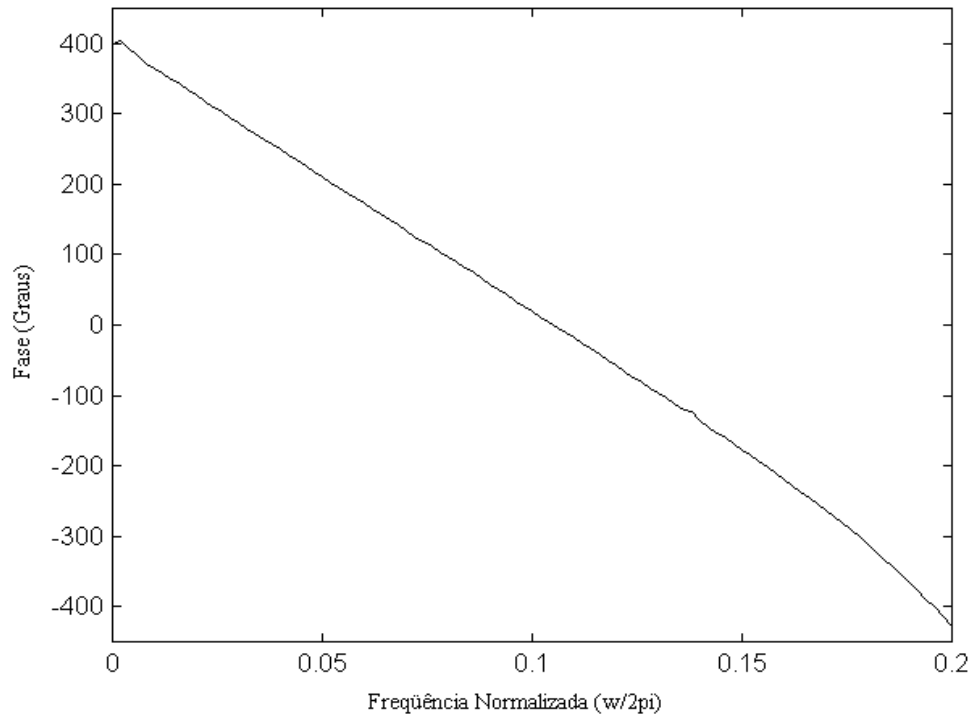


Figura 6.6: Característica de fase experimental do filtro de 60dB na faixa de passagem.

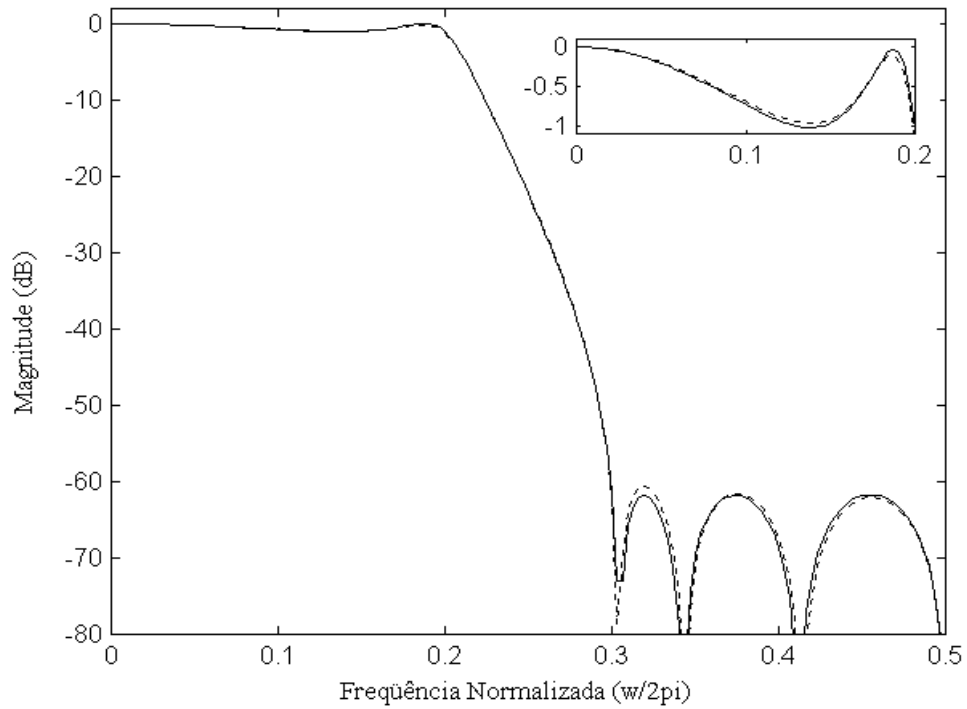


Figura 6.7: Respostas em frequência do filtro de 60 dB: teórica (linha sólida), coeficientes realizados como razão de números inteiros (linha pontilhada).

Tabela 6.4: Valores de capacitores do filtro de 60dB de atenuação em termos de capacitâncias unitárias.

	Célula 1	Célula 2	Célula 3	Célula 4	Célula 5
C_{10_a}	22	1	1	1	19
C_{10_b}	22	-	-	-	-
C_{11}	16	1	1	1	-
C_{12}	5	6	7	9	16
C_{13}	1	1	1	1	1
C_{20_a}	6	1	1	1	-
C_{20_b}	6	-	-	-	-
C_{21_a}	4	4	12	10	22
C_{21_b}	-	-	-	-	22
C_{22}	8	4	4	4	25
C_n	1				
C_d	1				
C_f	1				

Capítulo 7

Conclusões

Uma nova aproximação para o projeto e implementação de filtros IIR a capacitores chaveados foi apresentada, baseando-se nas vantagens da forma direta, buscando reduzir a sensibilidade na faixa de passagem e o número de amplificadores operacionais utilizados.

Através da determinação das curvas de limite superior e inferior para a resposta em frequência e com a utilização de algoritmos que realizam o projeto de funções de transferência com diferentes ordens no numerador e denominador, realizando uma alocação ótima de pólos e zeros, foi possível encontrar uma realização com baixa sensibilidade na faixa de passagem com respeito às razões de capacitâncias e fase aproximadamente linear.

A estrutura desenvolvida foi a que apresentou melhor compromisso entre número de fases, espalhamento de capacitores, tempo de estabilização e quantidade dos amplificadores operacionais. Com a finalidade de verificar as vantagens do projeto proposto, outras aproximações foram consideradas, e um filtro elíptico de quinta ordem foi projetado para uma realização *ladder* LDI.

Comparando as duas realizações, é possível dizer que a estrutura proposta possui sensibilidade na faixa de passagem comparável à da realização *ladder* LDI. Embora no exemplo considerado esta obteve uma menor área ocupada pelos capacitores e menor número de amplificadores operacionais (um a menos), a estrutura proposta apresentou uma menor dispersão no valor dos capacitores e fase aproximadamente linear na faixa de passagem. Além disso, na realização proposta por este trabalho não há a necessidade de uma frequência de amostragem muito maior que a frequência de corte, como na realização *ladder* LDI, e evita os erros na realização das terminações resistivas destas, modificando o comportamento da faixa de passagem.

Um filtro protótipo foi construído e testado para validar os resultados teóricos, que estiveram perfeitamente de acordo com os resultados experimentais obtidos em laboratório. Para verificar a performance da estrutura para atenuações maiores, um filtro com atenuação de 60dB foi projetado, montado e testado, mostrando que os bons resultados se mantêm para elevadas atenuações.

Referências Bibliográficas

- [1] PETRAGLIA, A., MONTEIRO, M. A. M., “A Switched-Capacitor Filter Having Very Low Sensitivity to Capacitance Ratio Errors and to Finite Amplifier Gains”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 45, n. 7, pp. 890–894, July 1998.
- [2] PETRAGLIA, A., PEREIRA, J. S., “Switched-Capacitor Decimation Filters with Direct-Form Polyphase structure Having Very Small Sensitivity Characteristics”. In: *1999 International Symposium on Circuits and Systems*, pp. II.73–II.76, Orlando, May/June 1999.
- [3] PEREIRA, J. S., PETRAGLIA, A., “Low-Sensitivity Direct-Form IIR SC Filters with Improved Linear Phase”. In: *2000 International Symposium on Circuits and Systems*, Genebra, May 2000.
- [4] BAHER, H., MALLEY, M. O., “Design of Switched-Capacitor and Wave Digital Filters with Linear Phase and High Amplitude Selectivity”, *IEEE Transactions on Circuits and Systems*, v. 37, n. 5, pp. 614–622, May 1990.
- [5] YOUNG, I. A., HODGES, D. A., “MOS Switched-Capacitor Analog Sampled-Data Direct-Form Recursive Filters”, *IEEE Journal of Solid-State Circuits*, v. SC-14, n. 6, pp. 1020–1033, December 1979.

- [6] JACKSON, L. B., *Digital Filters and Signal Processing*. 3 ed. USA, Kluwer Academic Publishers, 1996.
- [7] JACKSON, L. B., “An Improved Martinez/Parks Algorithm for IIR Design with Unequal Numbers of Poles and Zeros”, *IEEE Transactions on Signal Processing*, v. 42, n. 5, pp. 1234–1238, May 1994.
- [8] MARTINEZ, H. G., PARKS, T. W., “Design of Recursive Digital Filters with Optimum Magnitude and Attenuation Poles on the Unit Circle”, *IEEE Transactions on Acoustic, Speech and Signal Processing*, v. ASSP-26, n. 2, pp. 150–156, April 1978.
- [9] FISCHER, G., “Analog FIR Filters by Switched-Capacitor Techniques”, *IEEE Transactions on Circuits and Systems*, v. 37, n. 6, pp. 808–814, June 1990.
- [10] FISCHER, G., “Switched-Capacitor FIR Filters - A Feasible Study”, *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing*, v. 41, n. 12, pp. 823–827, December 1990.
- [11] FRANCA, J. E., “Nonrecursive Polyphase Switched-Capacitor Decimators and Interpolators”, *IEEE Transactions on Circuits and Systems*, v. CAS-32, n. 9, pp. 877–887, September 1985.
- [12] GREGORIAN, R., MARTIN, K. W., TEMES, G. C., “Switched-Capacitor Circuit Design”, *Proceedings of the IEEE*, v. 71, n. 8, pp. 941–966, August 1983.

- [13] QUEIROZ, A. C. M., PINHEIRO, P. R. M., CALÔBA, L. P., “Nodal Analysis of Switched-Current Filters”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 40, pp. 10–18, January 1993.
- [14] JOHNS, D. A., MARTIN, K., *Analog Integrated Circuit Design*. USA, John Wiley & Sons, Inc., 1997.

Apêndice A

Estrutura Proposta

Será explicado neste trabalho com maiores detalhes o bloco (célula) FIR de segunda ordem com maiores detalhes, que consiste no ponto de partida da estrutura IIR desenvolvida.

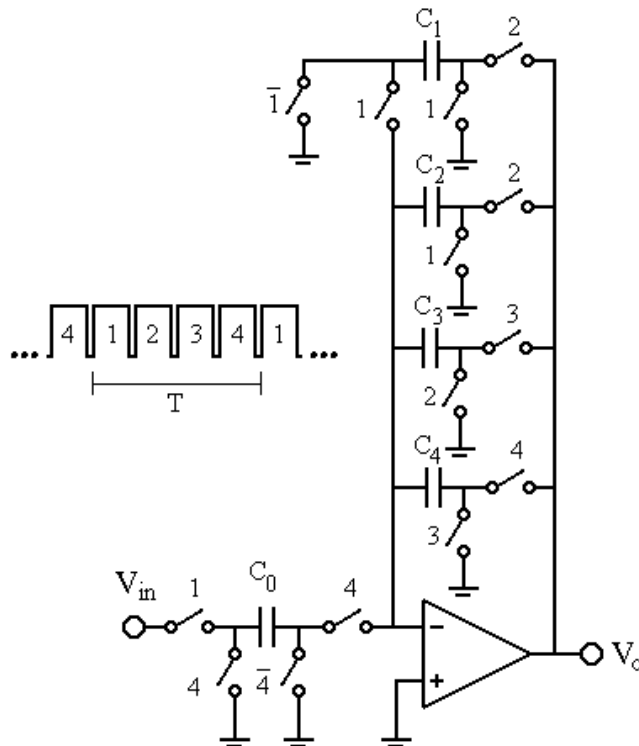


Figura A.1: Cadeia de atrasos utilizando um único amplificador operacional.

A idéia básica do bloco de segunda ordem é uma cadeia de atrasos que tem por objetivo reduzir o número de amplificadores operacionais, substituindo o típico *clock* bifásico por um esquema de chaveamento multifase, possibilitando uma multiplexação no tempo dos amplificadores operacionais. A Fig. A.1 mostra uma cadeia que realiza três atrasos, utilizando um único amplificador operacional e quatro diferentes fases. Geralmente, para realizar n atrasos são necessários $n + 1$ elementos de memória (capacitores) e um igual número de fases. Cada conjunto de chaves e capacitores conectados entre a entrada inversora e a saída do amplificador operacional constitui um *estágio* de atraso sendo o transporte do sinal através da cadeia de atrasos realizado pela transferência de cargas de um estágio para outro. Para se obter um registro transversal, a carga no último estágio (isto é, no capacitor C_1) ou é transferida para outra cadeia de atrasos ou é completamente removida na fase 4, como mostrado na Fig. A.1. Tal cadeia de atrasos pode ser aumentada para se obter uma maior ordem, bastando apenas adicionar mais capacitores e gerar o correspondente número de fases.

Um filtro FIR na forma direta é realizado por uma cadeia de atrasos seguida de uma soma ponderada onde os coeficientes do filtro (no caso, as razões entre capacitâncias) são os fatores ponderadores. A solução encontrada consiste em adicionar um estágio de ganho de múltiplas entradas à cadeia de atrasos da Fig. A.1, fazendo com que a soma seja realizada dentro da cadeia de atrasos para que a célula resultante utilize apenas um único amplificador operacional.

Fazendo uma análise mais cuidadosa da cadeia de atrasos descrita acima, pode-se notar que a carga de cada capacitor é descarregado antes que seja armazenada uma nova amostra de sinal, como pode ser verificado na Fig. A.2 para o

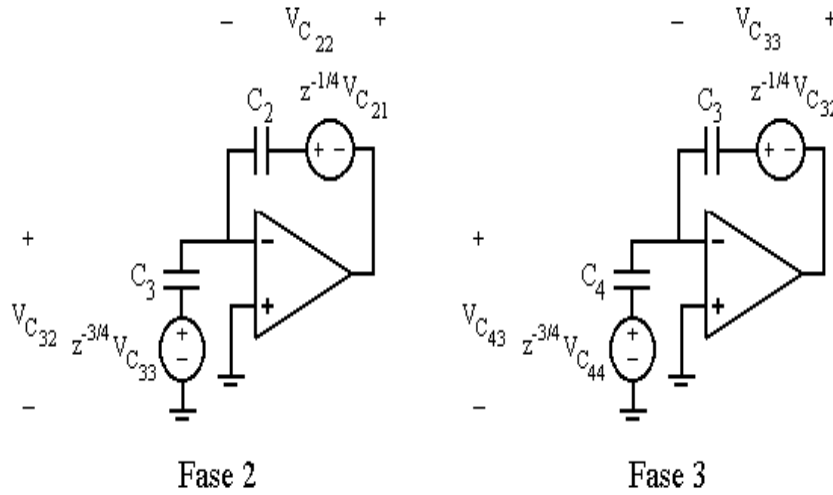


Figura A.2: Comportamento da cadeia de atrasos durante as fases 2 e 3.

capacitor C_3 . Durante a fase 2, a carga do capacitor C_3 é totalmente transferida para o capacitor C_2 e, na fase 3, o capacitor C_3 é carregado com um novo valor de sinal, no caso, a carga do capacitor C_4 . O mesmo raciocínio pode ser estendido para os demais estágios. Portanto, se mais de um sinal de entrada estiver conectado ao nó de terra virtual do amplificador operacional durante o carregamento de um determinado capacitor, este armazenará a soma de todas as entradas aplicadas simultaneamente. Então, os estágios subseqüentes irão amostrar e transferir o sinal previamente somado. Para se obter um filtro FIR na forma direta, a soma deve ser realizada no último estágio da cadeia de atrasos.

Utilizando o raciocínio acima, o bloco FIR desejado fica como mostrado na Fig. A.3. Tal bloco foi conseguido adicionando-se dois capacitores (C_6 e C_7) entre as saídas dos dois primeiros estágios da cadeia de atrasos e o nó de terra virtual do capacitor C_5 (na cadeia de atrasos da Fig. A.1 corresponde ao capacitor C_1), que, com a finalidade de apresentar uma estrutura mais regular, foi colocado junto ao

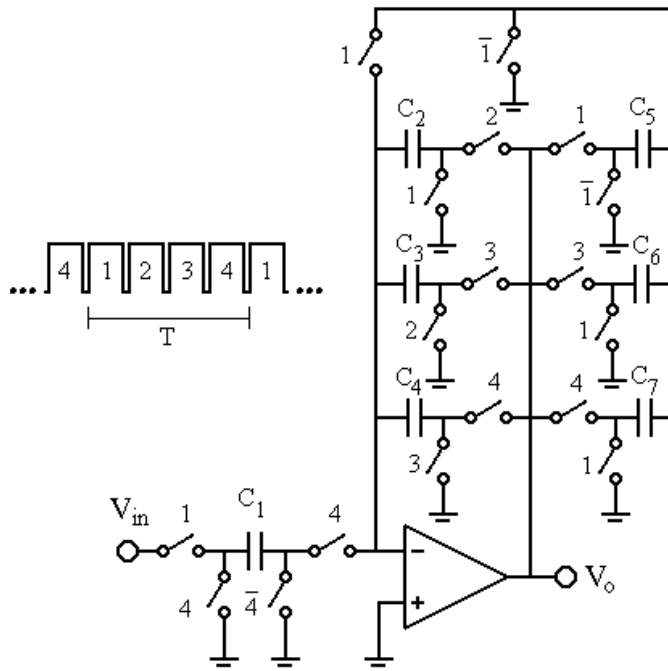


Figura A.3: Filtro FIR na forma direta.

novo grupo de capacitores.

Todos os atrasos fracionais são arredondados para o número inteiro mais próximo devido ao fato de que todos os capacitores são descarregados durante a mesma fase. Desta forma, o atraso do primeiro estágio é arredondado para 1 período enquanto o penúltimo gera um atraso máximo de 3 períodos. Conseqüentemente, um atraso excedente de um período de *clock* se faz presente em cada estágio. Por isso, a ordem efetiva do filtro é igual ao número de fases menos dois.

Para determinar a função de transferência da célula em questão, assume-se que o amplificador operacional seja ideal e observa-se o comportamento da estrutura em todas as fases. A Fig. A.4 mostra a estrutura durante a fase 3; o mesmo procedimento é feito para as demais fases, obtendo as seguintes equações para cada

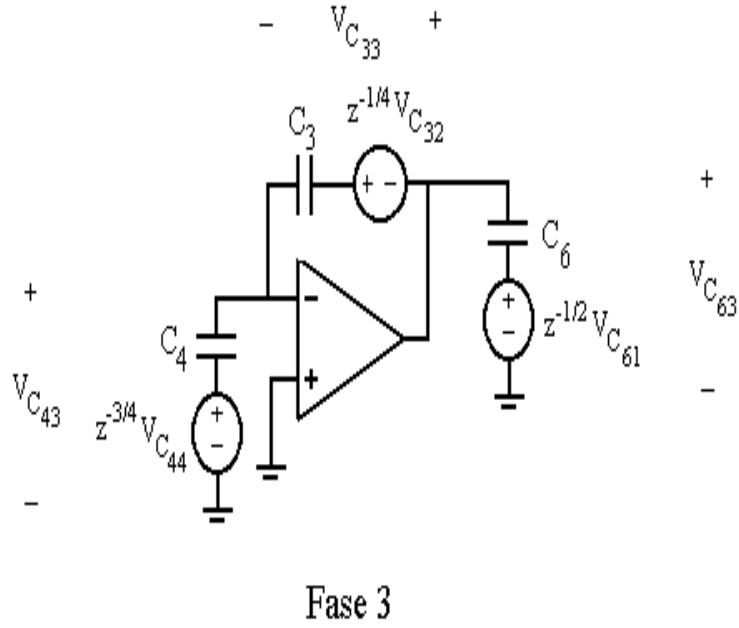


Figura A.4: Comportamento da célula FIR durante a fase 3.

uma das fases:

Fase 1 :

$$V_{C_{1_1}} = V_{in_1}$$

$$V_{C_{5_1}} = V_{C_{2_2}} z^{-\frac{3}{4}} \frac{C_2}{C_5} + V_{C_{6_3}} z^{-\frac{1}{2}} \frac{C_6}{C_5} + V_{C_{7_4}} z^{-\frac{1}{4}} \frac{C_7}{C_5} \quad (\text{A.1})$$

Fase 2 :

$$V_{C_{5_2}} = V_{C_{3_3}} z^{-\frac{3}{4}} \frac{C_3}{C_2} \quad (\text{A.2})$$

Fase 3 :

$$V_{C_{3_3}} = V_{C_{6_3}} V_{C_{3_3}} = V_{C_{4_4}} z^{-\frac{3}{4}} \frac{C_4}{C_3} \quad (\text{A.3})$$

Fase 4 :

$$V_{C_{4_4}} = V_{C_{7_4}} V_{C_{3_3}} = V_{C_{1_1}} z^{-\frac{3}{4}} \frac{C_1}{C_4}. \quad (\text{A.4})$$

Resolvendo o sistema de equações acima, chega-se à função de transferência da célula, que é dada por:

$$H(z) = \frac{V_{C_{51}}}{V_{C_{11}}} = \frac{C_1}{C_5} z^{-1} \left(z^{-2} + \frac{C_6}{C_3} z^{-1} + \frac{C_7}{C_4} \right). \quad (\text{A.5})$$

Os três coeficientes desta célula de segunda ordem são determinados pelos capacitores C_5 , C_6 e C_7 e os demais devem ter iguais valores a fim de se obter uma máxima faixa dinâmica. Da mesma forma que no caso da cadeia de atrasos, a célula de segunda ordem pode ser expandida para ordens mais elevadas, acrescentando mais estágios e gerando o número de fases necessário. Convém observar que o aumento no número de fases diminui o tempo de estabilização do amplificador operacional. Além disso, quanto maior a ordem do filtro FIR, maior será o espalhamento dos coeficientes.

Tendo o projeto do filtro IIR em vista e partindo das considerações acima, procurou-se construir uma estrutura, baseada na célula FIR descrita, que apresentasse o melhor compromisso entre número de amplificadores operacionais utilizados, tempo de estabilização e espalhamento dos capacitores. Devido ao fato de que a ordem do numerador é um múltiplo da do denominador, optou-se por realizar o numerador como uma cascata de células FIR de segunda ordem e o denominador como uma única célula de segunda ordem, utilizando apenas quatro fases (não contando as fases invertidas), imprimindo um aspecto modular à estrutura. O numerador também poderia ter sido realizado como uma única célula FIR de oitava ordem, porém seria necessário gerar 10 fases diferentes (novamente, sem contar com as invertidas), aumentando o circuito de geração de fases e, possivelmente, aumentando o espalhamento dos coeficientes, além de que o amplificador operacional teria menos tempo para carregar os capacitores.

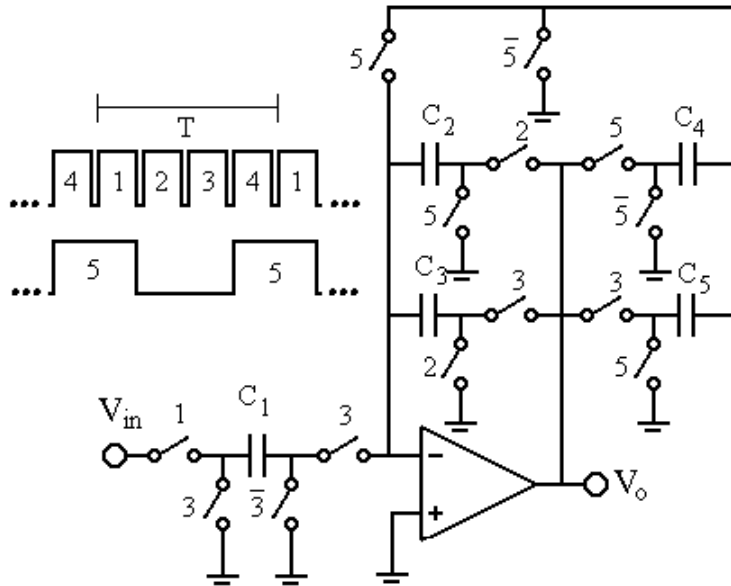


Figura A.5: Célula para a realização do denominador.

Para a realização dos coeficientes do denominador do filtro, a célula de segunda ordem descrita acima sofreu ligeiras mudanças para que pudesse realizar devidamente os coeficientes desejados. Como o denominador é realizado no caminho de realimentação, não é necessário que o termo em z^0 da função de transferência da célula seja realizado. Para isto, o estágio que contém os capacitores C_4 e C_7 é retirado da estrutura, podendo, separadamente enquanto estrutura FIR, ser realizado com apenas três fases. Porém, o bloco em questão irá fazer parte de uma estrutura cujo numerador utiliza um *clock* de quatro fases, que é o mesmo para todo o circuito. Utilizando no denominador apenas três das quatro fases (no caso, fases 1, 2 e 3), o amplificador operacional terá sua entrada inversora e saída abertas, durante a fase que não é usada (fase 4), o que causaria instabilidade. Desta forma, tornou-se necessária a “criação” de mais uma fase (fase 5), com a finalidade de manter a entrada e a saída do amplificador operacional sempre conectadas. Tal fase nada mais é do

que a soma das fases 1 e 4, que não altera a função de transferência da célula, e faz com que os pólos da função de transferência do filtro sejam realizados corretamente. Então, a célula que realiza o denominador fica como mostrado na Fig. A.5 e sua correspondente função de transferência é dada por:

$$H_d(z) = \frac{V_{C_{4_1}}}{V_{C_{1_1}}} = \frac{C_1}{C_4} \left(z^{-2} + \frac{C_5}{C_3} z^{-1} \right). \quad (\text{A.6})$$

Para que o numerador pudesse ser realizado na forma de blocos de segunda ordem, o polinômio do numerador, de ordem oito, foi fatorado em quatro polinômios de ordem dois, sendo o ganho total do numerador apropriadamente distribuído entre as células a fim de maximizar a faixa dinâmica nas saídas dos amplificadores operacionais do filtro. Como a estrutura necessitava a realização de coeficientes negativos, os capacitores correspondentes foram realizados utilizando a configuração *parasitic compensated toggle-switched capacitor* (PCTSC) [11], a fim de eliminar o efeito das capacitâncias parasitas [14].

Assim, cascadeando-se quatro células FIR de segunda ordem para realizar o numerador e utilizando a célula modificada da Fig. A.5 na realização do denominador, e usando apropriadamente a configuração para realizar coeficientes negativos, chegou-se à estrutura final para o filtro desejado, apresentada na Fig. 4.1.

Apêndice B

Projeto *ladder* LDI

Com a finalidade de tornar claros os passos necessários para projetar um filtro elíptico *ladder* LDI, é mostrado a seguir o projeto da realização *ladder* LDI utilizada no Capítulo 4, para comparar com a estrutura proposta por este trabalho.

Conforme dito anteriormente, trata-se de um projeto aproximado, que parte de uma estrutura analógica e necessita de uma transformação para chegar à estrutura digital correspondente. Partindo da rede *ladder* duplamente terminada da Fig. 4.4, é possível obter as equações de estado em s para o circuito analógico. Considerando-se que V_{in} é a tensão de entrada, V_1 , V_3 e V_5 são, respectivamente as tensões sobre os capacitores C_1 , C_3 e C_5 , e I_2 e I_4 são as correntes nos indutores L_2 e L_4 , respectivamente, as correspondentes equações de estado são dadas por

$$V_1(s) = \frac{1}{s(C_1 + C_2)} \left(\frac{V_{in}(s)}{R_G} - \frac{V_1(s)}{R_G} - I_2(s) \right) + V_3(s) \frac{C_2}{(C_1 + C_2)} \quad (\text{B.1})$$

$$I_2(s) = \frac{V_1(s) - V_3(s)}{sL_2} \quad (\text{B.2})$$

$$V_3(s) = \frac{1}{s(C_2 + C_3 + C_4)} (I_2(s) - I_4(s)) + \frac{C_2}{C_2 + C_3 + C_4} V_1(s) + \frac{C_4}{C_2 + C_3 + C_4} V_5(s) \quad (\text{B.3})$$

$$I_4(s) = \frac{V_3(s) - V_5(s)}{sL_4} \quad (\text{B.4})$$

$$V_5(s) = \frac{1}{s(C_4 + C_5)} \left(I_4(s) - \frac{V_5(s)}{R_S} \right) + \frac{C_4}{C_4 + C_5} V_3(s). \quad (\text{B.5})$$

A transformação LDI mapeia o plano s no plano z através da relação mostrada na Eq. (2.1), repetida aqui por conveniência:

$$s = \frac{1}{T} (z^{\frac{1}{2}} - z^{-\frac{1}{2}}), \quad (\text{B.6})$$

$$-\frac{2}{T} \leq \Omega \leq \frac{2}{T}$$

O correspondente circuito a capacitor chaveado é obtido através da aplicação da transformação LDI às equações de estado descritas anteriormente, obtendo

$$V_1(z) = \frac{\frac{T}{C_1+C_2}}{(1-z^{-1})} \left(\frac{V_{in}(z)}{R_G} z^{-\frac{1}{2}} - \frac{V_1(z)}{R_G} z^{-\frac{1}{2}} - I_2 z z^{-\frac{1}{2}} \right) + V_3(z) \frac{C_2}{C_1 + C_2} \quad (\text{B.7})$$

$$I_2(z) z^{-\frac{1}{2}} = \frac{\frac{T}{L_2}}{(1-z^{-1})} z^{-1} (V_1(z) - V_3(z)) \quad (\text{B.8})$$

$$V_3(z) = \frac{\frac{T}{C_2+C_3+C_4}}{(1-z^{-1})} (I_2(z) z^{-\frac{1}{2}} - I_4(z) z^{-\frac{1}{2}}) + \frac{C_2}{C_2 + C_3 + C_4} V_1(z) + \frac{C_4}{C_2 + C_3 + C_4} V_5(z) \quad (\text{B.9})$$

$$I_4(z) z^{-\frac{1}{2}} = \frac{\frac{T}{L_4}}{(1-z^{-1})} z^{-1} (V_3(z) - V_5(z)) \quad (\text{B.10})$$

$$V_5(z) = \frac{\frac{T}{C_4+C_5}}{(1-z^{-1})} \left(I_4(z) z^{-\frac{1}{2}} - \frac{V_5(z)}{R_S} z^{-\frac{1}{2}} \right) + \frac{C_4}{C_4 + C_5} V_3(z). \quad (\text{B.11})$$

Com base nas equações de estado em z acima, é possível fazer a implementação à capacitores chaveados usando diagramas *leapfrog*, que realizam a aproximação de circuitos integradores contínuos por integradores a capacitor chaveado,

ficando a estrutura como mostrada na Fig. 4.5 e que está mostrada novamente na Fig. B.1, para um melhor entendimento. Os capacitores da estrutura resultante são combinações dos elementos da rede *ladder* analógica, cujas relações estão mostradas na Tabela B.1.

Tabela B.1: Relação entre os elementos da rede *ladder* analógica e os capacitores da estrutura LDI resultante.

C_1	C_2	C_{3a}	C_{3b}	C_4
$\frac{T}{R_G}$	$C_1 + C_2$	C_2	C_2	L_2
C_5	C_6	C_{7a}	C_{7b}	C_8
$C_2 + C_3 + C_4$	L_4	C_4	C_4	$C_4 + C_5$
C_9	C_{10}	C_{11}	C_{12}	C_{13}
$\frac{T}{R_S}$	T	T	T	T
C_{14}	C_{15}	C_{16}	C_{17}	C_{18}
$\frac{T}{R_G}$	T	T	T	T

Devido à natureza não linear da transformação aplicada, se faz necessário realizar uma pré-distorção na frequência de corte do filtro para que a realização discreta mantenha a frequência de corte desejada. Tal distorção é descrita pela Eq. (4.3), sendo que o filtro protótipo deve ser escalado para a frequência de corte no domínio s para que o filtro discreto mantenha sua frequência de corte no domínio z em 1 rd/s. Cada valor de capacitor deve ser, então, dividido pelo valor da frequência de corte em s .

Para determinar o valor da frequência de corte em s , primeiramente deve-se saber o valor da frequência de amostragem, como descrito pela Eq. (4.3). Para isso,

escolheu-se um filtro *anti-aliasing* de segunda ordem, que cai 40 dB por década, de forma que, se se deseja um filtro com atenuação de 50 dB, tem-se, para a faixa de rejeição, 1.25 décadas. Pelas especificações do filtro, tem-se que a faixa de transição corresponde a 0.42 décadas, que, somado à faixa de rejeição, resulta em 1.674 décadas, correspondendo à metade da frequência de amostragem. Então, tem-se que a frequência de amostragem deve ser 34 vezes maior que a frequência de corte do filtro. Sabendo-se que a frequência de corte em z deve ser normalizada para 1 rd/s, conclui-se que a frequência de amostragem deve ser de 34 rd/s.

Para se obter uma máxima faixa dinâmica para todos os amplificadores operacionais, os capacitores são escalados de forma que as amplitudes máximas dos sinais nas saídas dos amplificadores operacionais sejam iguais. Tal escalamento depende da posição, se conectado à entrada ou à saída, em que um dado capacitor está em relação à um determinado amplificador operacional, e utiliza como fator de escalamento as máximas tensões nodais das saídas dos amplificadores operacionais, que são obtidas com o auxílio de um programa de computador [13]. Os correspondentes escalamentos dos capacitores utilizados e os valores finais estão mostrados na Tabela B.2.

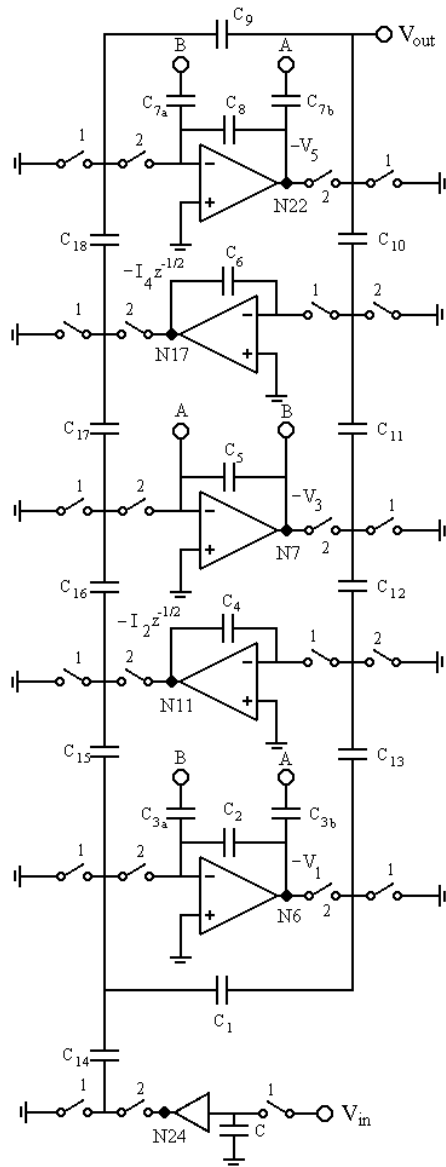


Figura B.1: Estrutura *ladder* LDI resultante.

Tabela B.2: Escalamentos e valores finais de capacitores.

Capacitor	Escalamento	Valor Final
C_1	-	0.1847
C_2	-	1.9154
C_{3a}	$\times N7/N6$	0.4943
C_{3b}	$\times N6/N7$	0.5370
C_4	-	0.8438
C_5	-	2.8668
C_6	-	1.0642
C_{7a}	$\times N7/N22$	0.1786
C_{7b}	$\times N22/N7$	0.1896
C_8	-	1.8367
C_9	-	0.1847
C_{10}	$\times N22/N17$	0.1378
C_{11}	$\times N7/N17$	0.1337
C_{12}	$\times N7/N11$	0.1117
C_{13}	$\times N6/N11$	0.1164
C_{14}	$\times N24/N6$	0.4088
C_{15}	$\times N11/N6$	0.2932
C_{16}	$\times N11/N7$	0.3056
C_{17}	$\times N17/N7$	0.2559
C_{18}	$\times N17/N22$	0.2316